

#3 5-260
8C

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC961 U.S. PRO
09/779528
02/09/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
this Office.

願 年 月 日
Date of Application: 2000年 2月10日

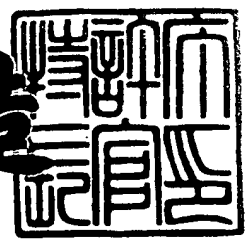
願 番 号
Application Number: 特願2000-033929

願 人
Applicant(s): 富士フイルムマイクロデバイス株式会社
富士写真フイルム株式会社

2000年 7月21日

特許庁長官
Commissioner,
Patent Office

及川耕造



【書類名】 特許願

【整理番号】 DL2485

【提出日】 平成12年 2月10日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 31/00

【発明の名称】 固体撮像素子

【請求項の数】 18

【発明者】

 【住所又は居所】 宮城県黒川郡大和町松坂平1丁目6番地 富士フイルム
 マイクロデバイス株式会社内

 【氏名】 鈴木 信雄

【発明者】

 【住所又は居所】 宮城県黒川郡大和町松坂平1丁目6番地 富士フイルム
 マイクロデバイス株式会社内

 【氏名】 益金 和行

【特許出願人】

 【識別番号】 391051588

 【氏名又は名称】 富士フイルムマイクロデバイス株式会社

 【代表者】 加藤 典彦

【特許出願人】

 【識別番号】 000005201

 【氏名又は名称】 富士写真フイルム株式会社

 【代表者】 宗雪 雅幸

【代理人】

 【識別番号】 100091340

 【弁理士】

 【氏名又は名称】 高橋 敬四郎

 【電話番号】 03-3832-8095

【選任した代理人】

【識別番号】 100105887

【弁理士】

【氏名又は名称】 来山 幹雄

【電話番号】 03-3832-8095

【選任した代理人】

【識別番号】 100108394

【弁理士】

【氏名又は名称】 今村 健一

【電話番号】 03-3832-8095

【手数料の表示】

【予納台帳番号】 009852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9913044

【包括委任状番号】 9913045

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像素子

【特許請求の範囲】

【請求項 1】 半導体基板の表面に複数行、複数列に亘って画素ずらし配置された多数個の光電変換素子と、

前記多数個の光電変換素子の各々に 1 個ずつ付設されたスイッチング回路部であって、各々が、対応する光電変換素子に蓄積された信号電荷量に応じた電気信号を発生することのできる出力用トランジスタを含むスイッチング回路部と、

前記複数の光電変換素子行の 1 行毎に該光電変換素子行に沿って 1 本ずつ配設された行選択用信号配線であって、各々が、対応するスイッチング回路部それぞれに前記電気信号の発生を制御する行選択信号を供給するために使用される行選択用信号配線と、

前記複数の光電変換素子列の 2 列に 1 個ずつ配設されたアナログ／デジタル変換部と、

前記各 2 列の光電変換素子列に対応するスイッチング回路部の前記出力用トランジスタの各々と、対応するアナログ／デジタル変換部とを接続する出力用信号線と

を備えた固体撮像素子。

【請求項 2】 前記出力用信号線の各々が、前記複数の光電変換素子列の 1 列毎に該光電変換素子列に沿って 1 本ずつ配設され、

前記アナログ／デジタル変換部の各々が、前記出力用信号線の 2 本に 1 個ずつ配設されている請求項 1 に記載の固体撮像素子。

【請求項 3】 前記出力用信号線の各々が、前記複数の光電変換素子列の 2 列毎に該 2 列の光電変換素子列の平面視上の間に 1 本ずつ配設され、

前記アナログ／デジタル変換部の各々が、前記出力用信号線の 1 本に 1 個ずつ配設されている請求項 1 に記載の固体撮像素子。

【請求項 4】 さらに、前記行選択用信号配線の各々に所定のタイミングで前記行選択信号を供給する第 1 の走査部を有する請求項 1 ～請求項 3 のいずれかに記載の固体撮像素子。

【請求項 5】 さらに、前記第 1 の走査部の動作を制御する第 1 の制御部を有する請求項 4 に記載の固体撮像素子。

【請求項 6】 さらに、前記出力用トランジスタの各々に電氣的に接続され、該出力用トランジスタに電源電圧を供給するために使用される電源電圧供給配線を有し、

前記出力用トランジスタの各々が、対応する光電変換素子に蓄積された信号電荷量に応じた信号をその制御端子に受け、

前記所定個のスイッチング回路部の各々が、さらに、前記出力用トランジスタに直列接続された行選択用トランジスタであって、前記行選択信号をその制御端子に受ける行選択用トランジスタを含み、前記直列接続が、対応する出力用信号線と前記電源電圧供給配線との間に接続されている請求項 1 ～請求項 5 のいずれかに記載の固体撮像素子。

【請求項 7】 前記スイッチング回路部の各々が、さらに、対応する光電変換素子に電氣的に接続されたりセットトランジスタであって、前記出力用トランジスタの制御端子と前記電源電圧供給配線との間に接続されたりセットトランジスタを含み、

さらに、前記複数の光電変換素子行の 1 行毎に該光電変換素子行に沿って 1 本ずつ配設されたりセット信号供給配線であって、各々が、対応するリセットトランジスタの制御端子に電氣的に接続されたりセット信号供給配線を有する請求項 1 ～請求項 6 のいずれかに記載の固体撮像素子。

【請求項 8】 さらに、前記リセット信号供給配線の各々に所定のタイミングで前記リセットトランジスタ用の制御信号を供給する第 2 の走査部を有する請求項 7 に記載の固体撮像素子。

【請求項 9】 さらに、前記第 2 の走査部の動作を制御する第 2 の制御部を有する請求項 8 に記載の固体撮像素子。

【請求項 1 0】 前記スイッチング回路部の各々が、さらに、対応する光電変換素子に電氣的に接続された転送用トランジスタであって、前記対応する光電変換素子と前記出力用トランジスタとの間に接続された転送用トランジスタを含み、

さらに、前記複数の光電変換素子行の 1 行毎に該光電変換素子行に沿って 1 本ずつ配設された転送制御信号供給配線であって、各々が、対応する転送用トランジスタの制御端子に電氣的に接続された転送制御信号供給配線を有する請求項 1 ～請求項 9 のいずれかに記載の固体撮像素子。

【請求項 1 1】 さらに、前記転送制御信号供給配線の各々に所定のタイミングで前記転送用トランジスタ用の制御信号を供給する第 3 の走査部を有する請求項 1 0 に記載の固体撮像素子。

【請求項 1 2】 さらに、前記第 3 の走査部の動作を制御する第 3 の制御部を有する請求項 1 1 に記載の固体撮像素子。

【請求項 1 3】 前記アナログ／デジタル変換部の各々が、キャパシタを含むサンプル／ホールド回路部と、該サンプル／ホールド回路部からの出力を前記デジタル信号に変換するアナログ／デジタルコンバータとを含む請求項 1 ～請求項 1 2 のいずれかに記載の固体撮像素子。

【請求項 1 4】 前記アナログ／デジタルコンバータの各々が、前記サンプル／ホールド回路部から出力される電圧値を基準電圧信号と比較する比較器であって、該比較器の外部から供給される前記基準電圧信号と前記サンプル／ホールド回路部から出力される電圧値とが交差した時点で制御動作信号を発生する比較器と、

前記制御動作信号とカウント信号とが供給されるラッチ回路であって、該ラッチ回路の外部から供給される前記カウント信号のカウント値を前記制御動作信号が供給された時点で保持すると共に、一致信号を出力するラッチ回路とを含む請求項 1 3 に記載の固体撮像素子。

【請求項 1 5】 さらに、前記アナログ／デジタル変換部それぞれの動作を制御する第 4 の制御部を有する請求項 1 ～請求項 1 4 のいずれかに記載の固体撮像素子。

【請求項 1 6】 さらに、前記アナログ／デジタル変換部の各々から出力される前記デジタル信号を一時的に保持し、該デジタル信号の各々を外部に出力することのできるバッファメモリ部を有する請求項 1 ～請求項 1 5 のいずれかに記載の固体撮像素子。

【請求項 1 7】 さらに、前記バッファメモリ部の動作を制御する第 5 の制御部を有する請求項 1 6 に記載の固体撮像素子。

【請求項 1 8】 さらに、前記多数個の光電変換素子それぞれの上方に 1 個ずつ配設された色フィルタと、

前記色フィルタそれぞれの上方に 1 個ずつ配設されたマイクロレンズとを有する請求項 1 ～請求項 1 7 のいずれかに記載の固体撮像素子。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は固体撮像素子に係り、特に、アナログ／デジタルコンバータを備えた MOS 型の固体撮像素子に関する。

【0 0 0 2】

【従来の技術】

CCD（電荷結合素子）の量産技術が確立されて以来、CCD 型固体撮像素子をライン・センサあるいはエリア・イメージセンサとして利用した機器が急速に普及している。

【0 0 0 3】

その一方で、携帯用端末の普及に伴って CCD 型固体撮像素子よりも消費電力の小さい MOS 型固体撮像素子、特に、アナログ／デジタル変換部（以下、「A／D 変換部」と略記する。）を内蔵させることによって高性能化および低コスト化を図った MOS 型固体撮像素子の開発が進められている。A／D 変換部は、例えばサンプル／ホールド回路部と、これに続くアナログ／デジタルコンバータ（以下、「A／D コンバータ」と略記する。）とを含んで構成される。

【0 0 0 4】

MOS 型固体撮像素子は、半導体基板の一表面側に行列状に形成された多数個の光電変換素子（例えばフォトダイオード）、光電変換素子毎に付設されたスイッチング回路部、および光電変換素子列毎にスイッチング回路部と A／D 変換部とを接続する出力用信号線を備えている。個々のスイッチング回路部は、出力用トランジスタを含む。この出力用トランジスタは、対応する光電変換素子に蓄積

された信号電荷量に応じた電気信号を、出力用信号線に発生させることができる。出力用信号線は低抵抗であることが望まれ、通常、金属材料によって形成される。

【0005】

A/D変換部を内蔵した従来のMOS型固体撮像素子では、出力用信号線それぞれの一端にA/D変換部が接続される。出力用トランジスタによって出力用信号線に発生した電気信号は、出力用信号線を介してA/D変換部に入力される。A/D変換部には、通常、アナログ電圧信号が入力される。A/D変換部は、入力されたアナログ電圧信号に応じたデジタル信号を例えばバッファメモリに出力する。

【0006】

出力用トランジスタによる電気信号の発生は、例えば光電変換素子行単位で制御される。この制御は、光電変換素子行単位で各スイッチング回路部の動作を制御することによって行うことができる。そのために、光電変換素子行毎に1本の行選択用信号配線が配設される。

【0007】

行選択用信号配線を介して、対応する各スイッチング回路部にその動作を制御するための行選択信号が伝達される。

【0008】

行選択用信号配線の各々に所定のタイミングで行選択信号を供給する走査部が、多くの場合、同一の半導体基板上に形成される。

【0009】

なお、本明細書でいう「光電変換素子列」とは、行列状に配置された「光電変換素子の並び」のうちで、出力信号線の延在方向に沿って配置されている「光電変換素子の並び」を指す。行列状に配置された「光電変換素子の並び」における「光電変換素子行」は、光電変換素子列方向に交差する方向に沿って配置されている「光電変換素子の並び」を指す。

【0010】

上述した走査部、A/D変換部、バッファメモリ等の動作は、制御部によって

制御される。この制御部は、多くの場合、同一の半導体基板上に形成される。

【 0 0 1 1 】

A/D変換部を内蔵したMOS型固体撮像素子は、CCD型固体撮像素子に比べ、消費電力を例えば1/5～1/10程度にまで低下させることができる。

【 0 0 1 2 】

【発明が解決しようとする課題】

固体撮像素子の解像度を向上させるうえからは、できるだけ多くの光電変換素子を高密度に形成することが好ましい。多数個の光電変換素子を1枚の半導体基板上に形成する場合、各画素あるいは光電変換素子を小型化して高密度に配置することによって、チップサイズを低下させることができる。それに伴って低コスト化を図ることもできる。

【 0 0 1 3 】

しかしながら、半導体基板上での光電変換素子の集積度が高まれば高まる程、光電変換素子行方向における光電変換素子配列のピッチが減少する。すなわち、光電変換素子列同士のピッチが減少する。これに伴って、A/D変換部を内蔵したMOS型固体撮像素子においては、A/D変換部同士のピッチも減少する。

【 0 0 1 4 】

A/D変換部を内蔵した従来のMOS型固体撮像素子においては、光電変換素子列の1列毎に1本の出力用信号線が配設され、1本の出力用信号線に1個ずつA/D変換部が接続される。A/D変換部のサンプル/ホールド回路部は、アナログ電圧信号を安定に保持するために、電気容量が比較的大きいキャパシタ（コンデンサ）を備えている。

【 0 0 1 5 】

例えば光電変換素子行方向の光電変換素子同士のピッチが4 μ m程度となるまで集積度を高めると、A/D変換部を形成する際に高度の微細加工技術が要求されるようになる。これに伴って、その製造コストが増大する。

【 0 0 1 6 】

本発明の目的は、A/D変換部を内蔵したMOS型固体撮像素子であって、製造コストの増大を抑制しつつ光電変換素子の集積度を向上させることが容易なM

OS型固体撮像素子を提供することにある。

【0017】

【課題を解決するための手段】

本発明の一観点によれば、半導体基板の表面に複数行、複数列に亘って画素ずらし配置された多数個の光電変換素子と、前記多数個の光電変換素子の各々に1個ずつ付設されたスイッチング回路部であって、各々が、対応する光電変換素子に蓄積された信号電荷量に応じた電気信号を発生することのできる出力用トランジスタを含むスイッチング回路部と、前記複数の光電変換素子行の1行毎に該光電変換素子行に沿って1本ずつ配設された行選択用信号配線であって、各々が、対応するスイッチング回路部それぞれに前記電気信号の発生を制御する行選択信号を供給するために使用される行選択用信号配線と、前記複数の光電変換素子列の2列に1個ずつ配設されたアナログ／デジタル変換部と、前記各2列の光電変換素子列に対応するスイッチング回路部の前記出力用トランジスタの各々と、対応するアナログ／デジタル変換部とを接続する出力用信号線とを備えた固体撮像素子が提供される。

【0018】

多数個の光電変換素子を画素ずらし配置することにより、半導体基板上での光電変換素子の実効的集積度を高めることができる。

【0019】

ここで、本明細書でいう「画素ずらし配置」とは、奇数番目に当たる光電変換素子列を構成する各光電変換素子に対し、偶数番目に当たる光電変換素子列を構成する光電変換素子の各々が、各光電変換素子列内での光電変換素子同士のピッチ P_1 の約 $1/2$ 、列方向にずれ、奇数番目に当たる光電変換素子行を構成する各光電変換素子に対し、偶数番目に当たる光電変換素子行を構成する光電変換素子の各々が、各光電変換素子行内での光電変換素子同士のピッチ P_2 の約 $1/2$ 、行方向にずれ、光電変換素子行の各々が奇数列または偶数列の光電変換素子のみを含む多数個の光電変換素子の配置を意味する。上記のピッチ P_1 と上記のピッチ P_2 とは同じ値であってもよいし、異なる値であってもよい。

【0020】

また、「光電変換素子同士のピッチ P_1 の約 $1/2$ 」とは、 $P_1/2$ を含む他に、製造誤差、設計上もしくはマスク製作上起こる画素位置の丸め誤差等の要因によって $P_1/2$ からはずれてはいるものの、得られる固体撮像装置の性能およびその画像の画質からみて実質的に $P_1/2$ と同等とみなすことができる値をも含むものとする。本明細書でいう「光電変換素子同士のピッチ P_2 の約 $1/2$ 」についても同様である。

【0021】

多数個の光電変換素子を画素ずらし配置した場合、1つの光電変換素子行は、偶数列の光電変換素子のみ、または、奇数列の光電変換素子のみを含む。奇数列の光電変換素子に対応する出力用トランジスタと、偶数列の光電変換素子に対応する出力用トランジスタとは、異なるタイミングで出力用信号線に電気信号を発生させる。

【0022】

したがって、光電変換素子列の2列に1個ずつA/D変換部を配設することにより、対応する出力用トランジスタが発生させた電気信号を個別に受け、対応するデジタル信号を発生させることができる。

【0023】

このとき、光電変換素子列の1列に1本ずつ当該光電変換素子列に沿って出力用信号線を配設し、2本の出力用信号線に1個ずつA/D変換部を配設する。

【0024】

あるいは、光電変換素子列の2列毎に当該2列の光電変換素子列の平面視上の間に1本ずつ出力用信号線を配設し、これらの出力用信号線の1本に1個ずつA/D変換部を配設することもできる。これにより、出力用信号線の数可以减少させることができる。

【0025】

いずれの場合も、A/D変換部の総数を従来の $1/2$ に低下させることができる。その結果として、光電変換素子の実効的集積度を高めた場合であっても、高度な微細加工技術を用いることなくA/D変換部を形成することが可能になる。これに伴って、製造コストを抑制することが可能になる。

【 0 0 2 6 】

【発明の実施の形態】

以下、実施例による固体撮像素子について図面を用いて説明する。

【 0 0 2 7 】

まず、第 1 の実施例による MOS 型固体撮像素子について、図面を用いて説明する。

【 0 0 2 8 】

図 1 (a) は、第 1 の実施例による MOS 型固体撮像素子 1 0 0 を模式的に示す平面図である。同図に示すように、MOS 型固体撮像素子 1 0 0 においては、半導体基板 1 の一表面側に、フォトダイオードからなる多数個の光電変換素子 1 0 が画素ずらし配置されている。図示の簡略化された構成においては、MOS 型固体撮像素子 1 0 0 は、1 6 行 8 列に亘って画素ずらし配置された計 6 4 個の光電変換素子 1 0 を有する。実際の MOS 型固体撮像素子においては、光電変換素子の総数が例えば数 1 0 万～数 1 0 0 万に達する。

【 0 0 2 9 】

半導体基板 1 が p 型ウェルを備えた n 型シリコン基板からなる場合、個々の光電変換素子 1 0 は、例えば、前記の p 型ウェルの所定箇所に n 型領域を形成することによって得ることができる。また、前記の n 型領域の表面に p^+ 型層を形成することにより、埋め込み型のフォトダイオードからなる光電変換素子 1 0 を得ることができる。

【 0 0 3 0 】

光電変換素子 1 0 の各々は、読出しゲートとして利用される部分を除き、半導体基板 1 に形成された p^+ 型のチャンネルストップ領域により、または、半導体基板 1 に形成されたフィールド酸化膜により、平面視上取り囲まれる。なお、上記の p^+ 型領域の不純物濃度は、p 型ウェルの不純物濃度より高い。

【 0 0 3 1 】

図 1 (a) においては図示を省略したスイッチング回路部が、光電変換素子 1 0 の各々毎に付設されている。各スイッチング回路部は、対応する光電変換素子 1 0 に蓄積された信号電荷量に応じた検出電気信号を発生することができる出力

用トランジスタを含む。

【 0 0 3 2 】

図示を省略した行選択用信号配線が、光電変換素子行 1 2 の 1 行に 1 本ずつ配設される。個々の行選択用信号配線は、対応する光電変換素子行 1 2 に沿って延在する。各行選択用信号配線は、対応する光電変換素子行 1 2 中の光電変換素子 1 0 の各々とスイッチング回路部を介して電氣的に接続される。これらの行選択用信号配線は、例えば電気絶縁層を介して半導体基板 1 上に形成される。

【 0 0 3 3 】

1 列の光電変換素子列 1 1 に 1 本ずつ、計 8 本の出力用信号線 3 0 が配設されている。各出力用信号線 3 0 は、対応する光電変換素子列に沿ってその左側（図 1（a）中での左側）に延在する。

【 0 0 3 4 】

個々の出力用信号線 3 0 は、対応する光電変換素子列 1 1 中の光電変換素子 1 0 の各々とスイッチング回路部を介して電氣的に接続される。各スイッチング回路部中の出力用トランジスタは、対応する光電変換素子 1 0 に蓄積された信号電荷量に応じた検出電気信号を、対応する出力用信号線 3 0 に発生することができる。

【 0 0 3 5 】

出力用信号線 3 0 は、低抵抗であることが望ましい。特に電流を流して出力を得る場合には、安定な出力を得るために、出力用信号線 3 0 を低抵抗にすることが望ましい。例えばアルミニウム、アルミニウム合金、銅、タングステン、タングステン合金、モリブデン、モリブデン合金等の金属材料によって出力用信号線 3 0 が形成される。

【 0 0 3 6 】

金属製の出力用信号線 3 0 は、図示を省略した電気絶縁層を介して、半導体基板 1 上に設けられる。なお、半導体基板 1 内に導電層を形成し、基板上の導電層と併せて出力用信号線 3 0 を形成してもよい。

【 0 0 3 7 】

図 1（a）においては、便宜上、各出力用信号線 3 0 を光電素子列 1 1 に沿っ

て直線的に描いている。しかしながら、後述するように、個々の出力用信号線 30 は蛇行させることができる。

【0038】

2 本の出力用信号線 30 に 1 個ずつ、計 4 個の A/D 変換部 40 が、半導体基板 1 上に配設されている。個々の A/D 変換部 40 は、対応する 2 本の出力用信号線 30 それぞれに電氣的に接続されている。

【0039】

各 A/D 変換部 40 は、A/D コンバータ 45 を含んで構成される。例えばサンプル/ホールド回路部 41 が、個々の A/D コンバータ 45 とこれに対応する 2 本の出力用信号線 30 との間に配設される。A/D コンバータ 45 の各々は、対応する 2 本の出力用信号線 30 に発生した検出電気信号に応じたデジタル信号を順次発生し、出力する。

【0040】

多数の光電変換素子 10 が画素ずらし配置されていることから、1 個の A/D 変換部 40 に対応する 2 本の出力用信号線 30 の各々に同時に検出電気信号が発生することはない。1 個の A/D 変換部 40 に対応する 2 本の出力用信号線 30 には、その時々で、どちらか一方にのみ検出電気信号が発生する。

【0041】

バッファメモリ部 50 が、例えばデジタルバスによって各 A/D 変換部 40 に接続される。このバッファメモリ部 50 は、例えば DRAM、SRAM 等の半導体記憶素子を用いて構成することができる。

【0042】

バッファメモリ部 50 は、A/D 変換部 40 (A/D コンバータ 45) の各々から出力されるデジタル信号を一時的に保持し、保持したデジタル信号の各々を外部に出力することができる。

【0043】

走査部 60 が、例えば半導体基板 1 における図 1 (a) 中の左縁部に配設される。この走査部 60 は、図示を省略した行選択用信号配線の各々に所定のタイミングで行選択信号を供給する第 1 の走査部としての機能を有する。

【 0 0 4 4 】

走査部 6 0 は、例えば、垂直ブランキング期間に制御部 7 0 から供給される制御信号を入力信号として受け水平同期パルスによりシフト動作するシフトレジスタと、シフトレジスタの各段の出力信号と水平ブランキング期間に制御部 7 0 から供給される制御信号を入力信号との論理積を行選択信号として供給する回路等を含んで構成される。

【 0 0 4 5 】

制御部 7 0 が半導体基板 1 における図 1 (a) 中の左下縁部に配設され、サンプル／ホールド回路部 4 1、A / D コンバータ 4 5、バッファメモリ部 5 0 および走査部 6 0 に電氣的に接続される。この制御部 7 0 は、第 1 の走査部の動作を制御する第 1 の制御部と、A / D 変換部 4 0 の動作を制御する第 4 の制御部と、バッファメモリ部 5 0 の動作を制御する第 5 の制御部とを兼ねる。

【 0 0 4 6 】

制御部 7 0 は、例えばクロックカウンタ、基準電圧発生回路、クロック発生回路、垂直・水平同期パルス発生回路、各種制御信号発生回路等を含んで構成される。

【 0 0 4 7 】

図 1 (b) は、図 1 (a) において図示を省略したスイッチング回路部 2 0 の 1 個を示す概念図である。

【 0 0 4 8 】

スイッチング回路部 2 0 の各々は、対応する光電変換素子 1 0 および対応する出力用信号線 3 0 に電氣的に接続される。また、図 1 (a) においては図示を省略した行選択用信号配線 2 5 とも電氣的に接続される。

【 0 0 4 9 】

各行選択用信号配線 2 5 は、例えばポリシリコン、ポリサイド（ポリシリコンとシリサイドとの積層）、タングステン、タングステン合金、モリブデン、モリブデン合金等の導電性材料によって形成される。

【 0 0 5 0 】

スイッチング回路部 2 0 は、出力用トランジスタ 2 1 を含む。スイッチング回

路部 2 0 には、第 1 の走査部としての機能を有する走査部 6 0 や別チップ上に形成された第 1 の走査部等から、所定のタイミングで行選択用信号配線 2 5 を介して行選択信号が供給される。行選択信号が供給されたスイッチング回路部 2 0 中の出力用トランジスタ 2 1 は、対応する光電変換素子 1 0 に蓄積されている信号電荷量に応じた検出電気信号を出力用信号線 3 0 に発生することができる。

【 0 0 5 1 】

このようなスイッチング回路部 2 0 の構成は、特に限定されるものではない。例えば、光電変換素子 1 0 を出力用トランジスタ 2 1 の出力用電流端子に接続することも可能である。

【 0 0 5 2 】

例えば、行選択用トランジスタが、出力用トランジスタ 2 1 とこれに対応する出力用信号線 3 0 との間に直列接続される。行選択用トランジスタは、対応する出力用信号線 3 0 に出力用トランジスタが検出電気信号を発生させるのを制御する。このとき、対応する行選択用信号配線 2 5 は、行選択用トランジスタの制御端子に電気的に接続される。また、出力用トランジスタ 2 1 は、対応する光電変換素子 1 0 に蓄積された信号電荷量に応じた信号をその制御端子に受け、残りの電流端子（ドレイン）には電源電圧が供給される。

【 0 0 5 3 】

例えば、リセットトランジスタが、光電変換素子 1 0 に付設される。リセットトランジスタは、検出電気信号を発生させ終えた光電変換素子 1 0 に蓄積されている信号電荷を、例えば電源電圧供給配線に排出する動作を制御する。そのために、リセットトランジスタの制御端子は、リセット信号供給配線に電気的に接続される。リセット信号供給配線は、対応するリセットトランジスタに所定のタイミングでリセット信号を供給する。リセットトランジスタは、リセット信号が入力されるとオンになり、対応する光電変換素子 1 0 から例えば電源電圧供給配線に信号電荷を排出することを可能にする。

【 0 0 5 4 】

例えば、転送用トランジスタが、光電変換素子 1 0 に付設される。転送用トランジスタは、対応する光電変換素子 1 0 と出力用トランジスタ 2 1 との間に接続

されて、光電変換素子 1 0 から出力用トランジスタ 2 1 の制御端子への信号の供給を制御する。そのために、転送用トランジスタの制御端子は、転送制御信号供給配線に電氣的に接続される。転送制御信号供給配線は、対応する転送用トランジスタに所定のタイミングで転送制御信号を供給する。転送用トランジスタは、転送制御信号が入力されるとオンになり、対応する光電変換素子 1 0 から出力用トランジスタ 2 1 への信号の供給を可能にする。

【 0 0 5 5 】

図 2 は、MOS 型固体撮像素子 1 0 0 において光電変換素子 1 0 の各々に付設されるスイッチング回路部 2 0 の一例を示す等価回路図である。同図に示した構成要素のうちで既に図 1 (a) または図 1 (b) に示したものについては、図 1 (a) または図 1 (b) で用いた符号と同じ符号を付してその説明を省略する。

【 0 0 5 6 】

図 2 に示したスイッチング回路部 2 0 の各々は、出力用トランジスタ 2 1 と、行選択用トランジスタ 2 2 と、リセットトランジスタ 2 3 とを 1 個ずつ含んで構成されている。これらのトランジスタは、例えば MOS トランジスタからなる。

【 0 0 5 7 】

出力用トランジスタ 2 1 の各々の制御端子（ゲート）は、対応する光電変換素子 1 0 に電氣的に接続されている。また、出力用トランジスタ 2 1 の各々のドレインは、対応する電源電圧供給配線 3 1 と電氣的に接続されている。

【 0 0 5 8 】

電源電圧供給配線 3 1 は、光電変換素子列 1 1 の 1 列に 1 本ずつ配設されている。個々の電源電圧供給配線 3 1 は、対応する光電変換素子列 1 1 の左側（図 2 中での左側）に沿って延在する。電源電圧が、各電源電圧供給配線 3 1 に供給される。

【 0 0 5 9 】

各電源電圧供給配線 3 1 は、出力用信号線 3 0 と同様に、例えばアルミニウム、アルミニウム合金、銅、タングステン、タングステン合金、モリブデン、モリブデン合金等の金属材料によって形成される。

【 0 0 6 0 】

行選択用トランジスタ 2 2 の各々は、対応する出力用トランジスタ 2 1 に直列接続され、電源電圧供給配線 3 1 と出力用トランジスタ 2 1 との間に接続されている。各行選択用トランジスタ 2 2 の制御端子（ゲート）は、所定の行選択用信号配線 2 5 に電氣的に接続されている。構造的には、行選択用信号配線 2 5 の一部が行選択用トランジスタ 2 2 のゲート電極を兼ねていてもよい。

【 0 0 6 1 】

個々の行選択用トランジスタ 2 2 は、対応する行選択用信号配線 2 5 からの行選択信号により、オン／オフ制御される。行選択用トランジスタ 2 2 がオンになると、対応する出力用トランジスタ 2 1 が、光電変換素子 1 0 に蓄積されている信号電荷量に応じた検出電気信号を出力用信号線 3 0 に発生させる。

【 0 0 6 2 】

リセットトランジスタ 2 3 の各々は、電源電圧供給配線 3 1 と光電変換素子 1 0 との間にあって、対応する出力用トランジスタ 2 1 の制御端子と電源電圧供給配線 3 1 との間に接続されている。各リセットトランジスタ 2 2 の制御端子（ゲート）は、所定のリセット信号供給配線 3 2 に電氣的に接続されている。構造的には、リセット信号供給配線 3 2 の一部がリセットトランジスタ 2 2 のゲート電極を兼ねていてもよい。

【 0 0 6 3 】

リセット信号供給配線 3 2 は、光電変換素子行 1 2 の 1 行に 1 本ずつ配設されている。個々のリセット信号供給配線 3 2 は、対応する光電変換素子行 1 2 の上側（図 2 中での上側）に沿って延在する。

【 0 0 6 4 】

リセット信号供給配線 3 2 の各々は、第 2 の走査部から所定のタイミングで供給されるリセット信号を、対応するリセットトランジスタ 2 3 の各々に伝達する。例えば、図 1（a）に示した走査部 6 0 が第 2 の走査部を兼ねる。第 2 の走査部の動作は、第 2 の制御部によって制御される。例えば、図 1（a）に示した制御部 7 0 が第 2 の制御部を兼ねる。

【 0 0 6 5 】

各リセット信号供給配線 3 2 は、例えばポリシリコン、ポリサイド、タングス

テン、タングステン合金、モリブデン、モリブデン合金等の導電性材料によって形成される。

【 0 0 6 6 】

各リセットトランジスタ 2 3 は、対応するリセット信号供給配線 3 2 からのリセット信号により、オン／オフ制御される。リセットトランジスタ 2 3 がオンになると、対応する光電変換素子 1 0 に蓄積されている信号電荷が、対応する電源電圧供給配線 3 1 に排出される。

【 0 0 6 7 】

図 3 は、光電変換素子 1 0 と、これに付設されているスイッチング回路部 2 0 との平面配置の一例を示す概略図である。同図に示した構成要素のうちで既に図 2 に示したものについては、図 2 で用いた符号と同じ符号を付してその説明を省略する。

【 0 0 6 8 】

図 3 に示したように、出力用トランジスタ 2 1 は、例えば半導体基板 1（図 1（a）参照）上に形成されたゲート電極 2 1 a と、ゲート電極 2 1 a の両側に形成された不純物拡散領域（n 型領域） 2 1 b、2 1 c とを含んで構成される。

【 0 0 6 9 】

不純物拡散領域（n 型領域） 2 1 b の一端は、電源電圧供給配線 3 1 の所定箇所と平面視上交差し、ここにおいて電源電圧供給配線 3 1 と電氣的に接続されている。不純物拡散領域（n 型領域） 2 1 c の一端は、平面視上、行選択用信号配線 2 5 の所定箇所において、その線幅方向の縁部に達している。

【 0 0 7 0 】

ゲート電極 2 1 a は、例えば、半導体基板 1 を熱酸化して得られた電気絶縁膜上に設けられたポリシリコン層で形成される。このゲート電極 2 1 a は、例えば金属配線 2 1 d によって光電変換素子 1 0 に電氣的に接続される。金属配線 2 1 d は、図示を省略した電気絶縁層を介して半導体基板 1 上に形成される。

【 0 0 7 1 】

金属配線 2 1 d とゲート電極 2 1 a とは、結線部を除いて、電気絶縁層によって互いに絶縁されている。金属配線 2 1 d と光電変換素子 1 0 とについても同様

である。

【 0 0 7 2 】

図 3 中に示した、矩形とその中の×印とからなる記号は、コンタクト領域を示す。

【 0 0 7 3 】

図 3 に示したように、行選択用トランジスタ 2 2 は、例えば行選択用信号配線 2 5 の所定箇所からなるゲート電極 2 2 a と、ゲート電極 2 2 a の両側に形成された不純物拡散領域（n 型領域）2 1 c、2 2 b とを含んで構成される。図示を省略した電気絶縁膜が、行選択用信号配線 2 5 と半導体基板 1 との間に介在する。不純物拡散領域（n 型領域）2 2 b の一端は、出力用信号線 3 0 の所定箇所と平面視上交差し、ここにおいて出力用信号線 3 0 と電氣的に接続されている。

【 0 0 7 4 】

行選択用信号配線 2 5 と出力用信号線 3 0 との平面視上の交差部においては、例えば行選択用信号配線 2 5 よりも出力用信号線 3 0 の方が半導体基板 1 からみて上方に形成される。行選択用信号配線 2 5 と出力用信号線 3 0 とは、図示を省略した電気絶縁層によって互いに絶縁されている。

【 0 0 7 5 】

図 3 に示したように、リセットトランジスタ 2 3 は、例えばリセット信号供給配線 3 2 の所定箇所からなるゲート電極 2 3 a と、このゲート電極 2 3 a の両側に形成された不純物拡散領域（n 型領域）2 3 b、2 3 c とを含んで構成される。図示を省略した電気絶縁膜が、リセット信号供給配線 3 2 と半導体基板 1 との間に介在する。

【 0 0 7 6 】

不純物拡散領域（n 型領域）2 3 b の一端は、電源電圧供給配線 3 1 の所定箇所と平面視上交差し、ここにおいて電源電圧供給配線 3 1 と電氣的に接続されている。不純物拡散領域（n 型領域）2 3 c の一端は、光電変換素子 1 0 の所定箇所と平面視上交差し、ここにおいて光電変換素子 1 0 と電氣的に接続されている。

【 0 0 7 7 】

リセット信号供給配線 3 2 と電源電圧供給配線 3 1 との平面視上の交差部においては、例えばリセット信号供給配線 3 2 よりも電源電圧供給配線 3 1 の方が半導体基板 1 からみて上方に形成される。同様に、リセット信号供給配線 3 2 と出力用信号線 3 0 との平面視上の交差部においては、例えばリセット信号供給配線 3 2 よりも出力用信号線 3 0 の方が半導体基板 1 からみて上方に形成される。

【 0 0 7 8 】

出力用信号線 3 0 と電源電圧供給配線 3 1 とは、半導体基板 1 からみてどちらかを他方の上方に形成してもよいし、両者を同一の電気絶縁層上に形成してもよい。

【 0 0 7 9 】

リセット信号供給配線 3 2、電源電圧供給配線 3 1、出力用信号線 3 0 および行選択用信号配線 2 5 は、図示を省略した電気絶縁層によって互いに絶縁されている。

【 0 0 8 0 】

出力用信号線 3 0 および電源電圧供給配線 3 1 は、平面視上、対応する光電変換素子列 1 1 (図 1 (a) 参照) に沿って図 2 に示したように蛇行させることができる。出力用信号線 3 0 および電源電圧供給配線 3 1 はそれぞれ金属材料によって形成されるので、蛇行させることによってその長さがある程度長くなっても、実用上大きな障害とはならない。

【 0 0 8 1 】

光電変換素子 1 0 およびその周辺を含む八角形の領域を想定すると、1 列の光電変換素子列 1 1 (図 1 (a) 参照) は、計 8 個の八角形が所定の間隔をあけながら一定のピッチで同じ向きに配列されたものとみなすことができる。1 つの光電変換素子列 1 1 に対応する出力用信号線 3 0 および電源電圧供給配線 3 1 は、平面視上、前記八角形それぞれの辺に沿って光電変換素子列 1 1 の左側を蛇行しつつ延在させることができる。このとき、列方向に相隣る 2 つの八角形を分離している領域においては、平面視上、光電変換素子列 1 1 の延在方向 (列方向) に沿って出力用信号線 3 0 および電源電圧供給配線 3 1 を延在させることができる。なお、前記の八角形は、光電変換素子列 1 1 の延在方向に平行な 2 つの辺と光

電変換素子行 1 2 の延在方向に平行な 2 つの辺とを有し、かつ、全ての内角が鈍角からなる八角形であるものとする。

【 0 0 8 2 】

同様に、行選択用信号配線 2 5 およびリセット信号供給配線 3 2 は、平面視上、対応する光電変換素子行 1 2 (図 1 (a) 参照) に沿って蛇行させることができる。

【 0 0 8 3 】

図 2 に示した等価回路における行選択用信号配線 2 5 の形状は、作図の便宜上、図 3 に示した行選択用信号配線 2 5 の平面視上の形状と異なっている。同様に、図 2 に示したリセット信号供給配線 3 2 の形状は、作図の便宜上、図 3 に示したリセット信号供給配線 3 2 の平面視上の形状と異なっている。

【 0 0 8 4 】

行選択用信号配線 2 5 およびリセット信号供給配線 3 2 それぞれの平面視上の形状をどのような形状にするかは、適宜選択可能である。出力用信号線 3 0 および電源電圧供給配線 3 1 それぞれの平面視上の形状についても同様である。

【 0 0 8 5 】

出力用信号線 3 0 および電源電圧供給配線 3 1 それぞれの平面視上の形状を蛇行形状とする場合、その形状は上述の形状に限定されるものではない。上記の八角形に代えて他の形状、例えば矩形、五角形、六角形、円形、楕円形を想定してもよい。また、想定した形状の辺に沿って出力用信号線 3 0 および電源電圧供給配線 3 1 それぞれを必ず蛇行させなければならないというものでもない。

【 0 0 8 6 】

本実施例の MOS 型固体撮像素子 1 0 0 においては、光電変換素子 1 0 の各々が光電変換することによって、この光電変換素子 1 0 に信号電荷が蓄積される。光電変換素子 1 0 に信号電荷が蓄積されると、対応する出力用トランジスタ 2 1 のゲート電極 2 1 a に、蓄積された信号電荷量に応じた信号 (電圧) が供給される。出力用トランジスタ 2 1 の抵抗値が変化する。

【 0 0 8 7 】

走査部 6 0 によって所定の行選択用信号配線 2 5 に行選択信号が供給されると

、この行選択用信号配線 2 5 に電氣的に接続されている行選択用トランジスタ 2 2 の各々がオンになる。その結果として、対応する出力用トランジスタ 2 1 の各々が一斉に、電源電圧供給配線 3 1 と対応する出力用信号線 3 0 との間に接続される。出力用信号線 3 0 には、後述する負荷トランジスタ 3 5 が接続されている。出力用トランジスタ 2 1 と負荷トランジスタ 3 5 との抵抗に応じた電圧が、出力用信号線 3 0 に発生する。

【 0 0 8 8 】

A/D変換部 4 0 は、出力用信号線 3 0 に発生した検出電気信号に応じたデジタル信号を発生し、このデジタル信号をバッファメモリ部 5 0 に出力する。

【 0 0 8 9 】

図 4 は、図 1 (a) に示した A/D変換部 4 0 の 1 個、および、バッファメモリ部 5 0 の一部を示す概略図である。

【 0 0 9 0 】

前述したように、図示の A/D変換部 4 0 の各々は、A/Dコンバータ 4 5 と、これに対応する 2 本の出力用信号線 3 0 との間に配設されたサンプル/ホールド回路部 4 1 とを有する。

【 0 0 9 1 】

図示の構成においては、2 本の出力用信号線 3 0 の各々がその一端において 1 本の配線に共通接続され、1 個の A/D変換部 4 0 に電氣的に接続されている。1 個の負荷トランジスタ 3 5 が、共通配線に接続されている。

【 0 0 9 2 】

光電変換素子 1 0 に蓄積されている信号電荷量に応じて出力用トランジスタ 2 1 (図 2 または図 3 参照) が抵抗を変化させると、これに応じた検出電気信号 (アナログ電圧信号) が出力用信号線 3 0 と負荷トランジスタ 3 5 との接続点に発生する。

【 0 0 9 3 】

1 行の光電変換素子行 1 2 は、偶数列または奇数列の光電変換素子 1 0 のみを含む。したがって、負荷トランジスタ 3 5 の各々は、奇数列の光電変換素子列 1 1 に対応する 1 本の出力用信号線 3 0 と、偶数列の光電変換素子列 1 1 に対応す

る 1 本の出力用信号線 3 0 とに電氣的に接続される。1 個の負荷トランジスタ 3 5 に異なる 2 個のスウィッチング回路部 2 0 が同時に接続されることはない。

【 0 0 9 4 】

負荷トランジスタ 3 5 (出力用信号線 3 0) に発生したアナログ電圧信号は、対応する A/D 変換部 4 0 のサンプル/ホールド回路部 4 1 に供給される。

【 0 0 9 5 】

サンプル/ホールド回路部 4 1 は、例えば、サンプル用トランジスタ 4 2 と、その出力側に電氣的に接続されたキャパシタ (コンデンサ) 4 3 とを含む。

【 0 0 9 6 】

サンプル信号供給配線 4 4 が、サンプル用トランジスタ 4 2 の制御端子 (ゲート) に接続される。サンプル用トランジスタ 4 2 の動作は、第 4 の制御部を兼ねている制御部 7 0 (図 1 (a) 参照) からサンプル信号供給配線 4 4 を介して供給されるサンプル制御信号によって制御される。

【 0 0 9 7 】

サンプル制御信号によってサンプル用トランジスタ 4 2 がオンすると、アナログ電圧信号がキャパシタ (コンデンサ) 4 3 に供給 (サンプル) される。その後、サンプル用トランジスタ 4 2 がオフされると、キャパシタ (コンデンサ) 4 3 は電氣的に分離され、サンプルした電圧を保持する (ホールド)。例えば光電変換素子 1 0 が入射光強度に応じて電子を蓄積する場合、キャパシタ (コンデンサ) 4 3 にホールドされる電圧は、入射光強度が強い程低い電圧となる。

【 0 0 9 8 】

A/D コンバータ 4 5 は、例えば、比較器 4 6 とラッチ回路 4 7 とを含む。例えば、一定の勾配で低下する鋸歯電圧波形からなる基準電圧信号が、第 4 の制御部を兼ねている制御部 7 0 (図 1 (a) 参照) から基準電圧信号供給配線 4 8 を介して比較器 4 6 の一方の入力に供給される。キャパシタ (コンデンサ) 4 3 にホールドされているアナログ電圧信号 (以下、「電圧 I」という。) が比較器 4 6 の他方の入力に供給される。比較器 4 6 は、基準電圧信号の値と電圧 I の値とを比較し、電圧 I の値が基準電圧信号の値と交差した時点でラッチ回路 4 7 に制御動作信号を出力する。

【0099】

カウント信号が、第4の制御部を兼ねている制御部70（図1（a）参照）からカウント信号供給配線49を介してラッチ回路47に供給される。

【0100】

ラッチ回路47は、カウント信号のカウント値を、比較器46から制御動作信号が供給された時点で保持する。保持されたカウント値は、サンプル／ホールド回路部41に供給されたアナログ電圧信号に相当し、したがって光電変換素子10に蓄積された信号電荷の量をデジタル信号に変換したものに相当する。ラッチ回路47は、このカウント値をバッファメモリ部50に出力する。

【0101】

制御信号が、第5の制御部を兼ねている制御部70（図1（a）参照）から制御信号供給配線51を介してバッファメモリ部50に供給される。ラッチ回路47から入力されたカウント値は、バッファメモリ部50に供給された制御信号に基づいて、バッファメモリ部50中の所定のメモリ52に記憶される。

【0102】

メモリ52に記憶されたカウント値は、制御部70（図1（a）参照）から制御信号供給配線51を介して供給される他の制御信号に基づいて、デジタル出力バス53へ出力される。

【0103】

図5を参照して、上述したMOS型固体撮像素子100の動作例を説明する。なお、便宜上、各光電変換素子行を、A/D変換部40に近い順に第1光電変換素子行、第2光電変換素子行、……第15光電変換素子行、第16光電変換素子行と呼ぶものとする。また、第 n （ n は1～16の整数）光電変換素子行を構成している各光電変換素子を第 n 行の光電変換素子と呼び、第 n （ n は1～16の整数）光電変換素子行に対応する行選択用信号配線を第 n 行選択用信号配線と呼び、第 n （ n は1～16の整数）光電変換素子行に対応するリセット信号供給配線を第 n リセット信号供給配線と呼ぶものとする。

【0104】

まず、水平同期パルスHDによって画定される水平ブランキング期間に入ると

、制御部 7 0 が所定の制御信号を走査部 6 0 に供給する。走査部 6 0 は、この制御信号によって、第 n 行選択用信号配線 2 5 に行選択信号 RW_n を供給する。第 n 行選択用信号配線 2 5 に電氣的に接続されている各行選択用トランジスタ 2 2 がオンされる。第 n 行の光電変換素子 1 0 の蓄積電圧をゲートに受けている出力用トランジスタ 2 1 が、電源電圧供給配線 3 1 と出力用信号線 3 0 との間に接続される。第 n 行の光電変換素子 1 0 の各々に蓄積されている信号電荷量に応じた検出電気信号が、対応する出力用信号線 3 0 の各々に発生する。

【 0 1 0 5 】

第 $(n-1)$ 行の光電変換素子 1 0 からの検出電気信号に基づいたカウント値がラッチ回路 4 7 に保持されている場合には、行選択信号 RW_n の供給に先だって、次の動作が行われる。すなわち、制御部 7 0 が所定の制御信号を制御信号供給配線 5 1 に供給し、これによって、ラッチ回路 4 7 に保持されているカウント値をメモリ 5 2 に記憶させる。

【 0 1 0 6 】

第 n 行の光電変換素子 1 0 の各々に蓄積されている信号電荷量に応じた検出電気信号が対応する出力用信号線 3 0 に発生すると、出力用信号線 3 0 と負荷トランジスタ 3 5 との接続点に、検出電気信号に応じたアナログ電圧信号が発生する。これらのアナログ電圧信号のそれぞれは、負荷トランジスタ 3 5 に対応する A/D 変換部 4 0 のサンプル/ホールド回路部 4 1 に供給される。

【 0 1 0 7 】

制御部 7 0 は、第 n 行選択用信号配線 2 5 に行選択信号 RW_n が供給されている期間内に、サンプル信号供給配線 4 4 にサンプル制御信号 SH を供給する。サンプル制御信号 SH がハイの時、各サンプル用トランジスタ 4 2 がオンされ、対応するキャパシタ（コンデンサ）4 3 の各々にアナログ電圧信号がサンプルされる。サンプル制御信号 SH がローに戻ると、各サンプル用トランジスタ 4 2 がオフされ、キャパシタ（コンデンサ）4 3 の各々はサンプルしたアナログ電圧信号をホールドする。

【 0 1 0 8 】

サンプル制御信号 SH の供給後、制御部 7 0 は、第 n リセット信号供給配線 3

2 にリセット信号 RS_n を供給するように走査部 6 0 を制御する。第 n リセット信号供給配線 3 2 に接続されている第 n 行のリセットトランジスタ 2 3 の各々がオンされる。第 n 行の光電変換素子 1 0 の各々に蓄積されている信号電荷が、対応する電源電圧供給配線 3 1 に排出される。信号電荷を排出し終えた第 n 行の光電変換素子 1 0 の各々は、リセット信号 RS_n がローに戻った後、次の信号電荷の蓄積を開始することができる。

【 0 1 0 9 】

制御部 7 0 は、上記の水平ブランキング期間が終了した後に、制御信号供給配線 5 1 を介して所定の制御信号をバッファメモリ部 5 0 に供給する。バッファメモリ部 5 0 は、この制御信号によって、各メモリ 5 2 に記憶していたカウント値、すなわち、第 $(n-1)$ 行の光電変換素子 1 0 からの検出電気信号に基づいたカウント値を、デジタル出力バス 5 3 へ出力する。デジタル出力バス 5 3 に出力された各カウント値は、第 $(n-1)$ 行の光電変換素子 1 0 それぞれからのデジタル画像データとして、外部に出力される。

【 0 1 1 0 】

制御部 7 0 内のクロックカウンタが、水平ブランキング期間が終了した後の所定の時刻 T_1 においてカウントを開始する。制御部 7 0 は、このカウント信号をカウント信号供給配線 4 9 を介して各ラッチ回路 4 7 に供給する。また、制御部 7 0 内の基準電圧発生回路から発生する基準電圧信号 RV の信号レベルが、上記の時刻 T_1 から一定の勾配で低下し始める。すなわち、一定の勾配で低下する鋸歯状電圧波形を発生する。基準電圧信号 RV は、基準電圧信号供給配線 4 8 を介して各比較器 4 6 に供給される。クロックカウンタのカウント動作と基準電圧信号 RV の信号レベルの低下とは、所定の時刻 T_4 まで続く。なお、基準電圧信号 RV は、一定の勾配で上昇する鋸歯状電圧波形でもよい。カウント値によって電圧が同定できればよい。

【 0 1 1 1 】

第 n 行の光電変換素子 1 0 に蓄積されている信号電荷量に応じたアナログ電圧信号がキャパシタ（コンデンサ）4 3 に保持されると、このアナログ電圧信号に応じた電圧 I が、対応する比較器 4 6 に供給される。

【 0 1 1 2 】

比較器 4 6 は、基準電圧信号 $R V$ の値と電圧 I の値とを比較し、電圧 I の値が基準電圧信号 $R V$ の値と交差した時点で、対応するラッチ回路 4 7 に制御動作信号を出力する。

【 0 1 1 3 】

ラッチ回路 4 7 は、カウント信号供給配線 4 9 を介して供給されるカウント信号のカウント値を、比較器 4 6 から制御動作信号が供給された時点で保持する。ラッチ回路 4 7 に保持されたカウント値は、第 n 行の光電変換素子 1 0 に蓄積された信号電荷の量をデジタル信号（デジタル画像データ）に変換したものに相当する。

【 0 1 1 4 】

例えば図 5 に示した時刻 T_2 において比較器 4 6 がラッチ回路 4 7 に制御動作信号を出力すると、ラッチ回路 4 7 が保持するカウント値は比較的小さくなる。このカウント値は、MOS 型固体撮像素子 1 0 0 が白黒撮像用の固体撮像素子である場合、例えば暗い灰色を表すデジタル信号となる。また、例えば図 5 に示した時刻 T_3 において比較器 4 6 がラッチ回路 4 7 に制御動作信号を出力すると、ラッチ回路 4 7 が保持するカウント値は比較的大きくなる。このカウント値は、MOS 型固体撮像素子 1 0 0 が白黒撮像用の固体撮像素子である場合、例えば明るい灰色を表すデジタル信号となる。

【 0 1 1 5 】

この後、水平同期パルス $H D$ によって次の水平ブランキング期間が画定されて、第 $(n+1)$ 行選択用信号配線 2 5 に行選択信号 $R W_{n+1}$ が供給される。上記と同様の動作が行われて、まず、第 n 行光電変換素子 1 0 の各々に蓄積された信号電荷量に応じたカウント値（デジタル画像データ）が各ラッチ回路 4 7 からバッファメモリ部 5 0 へ出力される。この後、各第 $(n+1)$ 行光電変換素子 1 0 に蓄積された信号電荷の量に応じたカウント値が、対応するラッチ回路 4 7 に保持される。

【 0 1 1 6 】

1 画面分のデジタル信号（デジタル画像データ）が得られるまで、水平ブラン

キング期間が繰り返し画定され、上述した動作と同様の動作が行われる。

【0117】

順次走査用のデジタル画像データは、第1光電変換素子行から昇順で順次、または、第16光電変換素子行から降順で順次、上述した動作を行うことによって得られる。

【0118】

インターレース走査用のデジタル画像データを得るにあたっては、まず、第1フィールドと第2フィールドを適宜選定する。例えば、第1、2、5、6、9、10、13および14光電変換素子行を第1フィールドの光電変換素子行とし、第3、4、7、8、11、12、15および16光電変換素子行を第2フィールドの光電変換素子行として選定することができる。選定した各フィールド毎に、昇順または降順で上述した動作を行うことにより、インターレース走査用のデジタル画像データを得ることができる。

【0119】

高速間引き走査用のデジタル画像データを得るにあたっては、まず、所望の数の光電変換素子行を選定する。光電変換素子列の方向に1/4に間引いたデジタル画像データを得る際には、例えば、(1)第1、2、9および10光電変換素子行、(2)第3、4、11および12光電変換素子行、(3)第5、6、13および14光電変換素子行、または、(4)第7、8、15および16光電変換素子行を選定することができる。選定した各光電変換素子行に対して昇順または降順で上述した動作を行うことにより、高速間引き走査用のデジタル画像データを得ることができる。

【0120】

次に、第1の実施例の変形例によるMOS型固体撮像素子について図6を用いて説明する。

【0121】

図6は、本変形例によるMOS型固体撮像素子100aにおいて光電変換素子10に付設されるスイッチング回路部20の一例を示す等価回路図である。

【0122】

同図に示したように、MOS型固体撮像素子100aにおいては、電源電圧供給配線31が、光電変換素子行12の1行毎にこの光電変換素子行12に沿って1本ずつ配設されている。この点以外は、第1の実施例のMOS型固体撮像素子100と同様である。

【0123】

このため、MOS型固体撮像素子100aについては、スイッチング回路部20aの等価回路図を概略的に図6に示し、他の箇所の図示を省略する。図6に示した構成要素のうちで既に図1(a)または図2に示したものについては、図1(a)または図2で用いた符号と同じ符号を付してその説明を省略する。

【0124】

MOS型固体撮像素子100aは、出力用信号線30と電源電圧供給配線31とを交差させて配置するため、別の配線層を必要とする。

【0125】

しかしながら、MOS型固体撮像素子100aの動作自体は第1の実施例のMOS型固体撮像素子100と同様である。したがって、その動作については説明を省略する。

【0126】

次に、第1の実施例の他の変形例によるMOS型固体撮像素子について図7を用いて説明する。

【0127】

図7は、本変形例によるMOS型固体撮像素子100bにおいて光電変換素子10に付設されるスイッチング回路部20の一例を概略的に示す等価回路図である。

【0128】

同図に示したように、MOS型固体撮像素子100bにおいては、電源電圧供給配線31に行選択用トランジスタ22が接続され、出力用トランジスタ21は行選択用トランジスタ22と出力用信号線30との間に接続されている。行選択用信号配線25は、光電変換素子行の1行毎にこの光電変換素子行に沿ってその上側(図中での上側)に1本ずつ配設されている。これらの点以外は、第1の実

施例のMOS型固体撮像素子100と同様である。

【0129】

このため、MOS型固体撮像素子100aについては、スイッチング回路部20の等価回路図を概略的に図7に示し、他の箇所の図示を省略する。図7に示した構成要素のうちで既に図1(a)または図2に示したものについては、図1(a)または図2で用いた符号と同じ符号を付してその説明を省略する。

【0130】

MOS型固体撮像素子100bの動作自体は、第1の実施例のMOS型固体撮像素子100と同様である。したがって、その動作については説明を省略する。

【0131】

次に、第1の実施例の更に他の変形例によるMOS型固体撮像素子について図8(a)を用いて説明する。

【0132】

図8(a)は、本変形例によるMOS型固体撮像素子100cにおいて光電変換素子10に付設されるスイッチング回路部20aの一例を概略的に示す等価回路図である。

【0133】

同図に示したように、MOS型固体撮像素子100cにおいては、1つのスイッチング回路部20aが出力用トランジスタ21、行選択用トランジスタ22、リセットトランジスタ23および転送用トランジスタ24の計4個のトランジスタを含む。電源電圧供給配線31が、光電変換素子行の1行毎にこの光電変換素子行に沿って1本ずつ配設されている。また、転送信号供給配線33が、光電変換素子行の1行毎にこの光電変換素子行に沿って1本ずつ配設されている。

【0134】

各転送用トランジスタ24は、対応する光電変換素子10と出力用トランジスタ21とに接続されている。これらの転送用トランジスタ24の制御端子(ゲート)は、対応する転送信号供給配線33に電氣的に接続されている。

【0135】

転送用トランジスタ24の各々は、例えばMOSトランジスタからなる。転送

信号供給配線 3 3 の各々は、例えばポリシリコン、ポリサイド、アルミニウム、タングステン、タングステン合金、モリブデン、モリブデン合金等の導電性材料によって形成される。

【 0 1 3 6 】

各転送信号供給配線 3 3 は、第 3 の走査部に電氣的に接続されている。第 3 の走査部は、転送信号供給配線 3 3 の各々に所定のタイミングで転送信号を供給する。図 1 (a) に示した走査部 6 0 は、第 3 の走査部を兼ねることができる。

【 0 1 3 7 】

第 3 の走査部の動作を制御する第 3 の制御部が配設される。図 1 (a) に示した制御部 7 0 は、第 3 の制御部を兼ねることができる。

【 0 1 3 8 】

上述した点を除けば、MOS 型固体撮像素子 1 0 0 c の構成は、第 1 の実施例の MOS 型固体撮像素子 1 0 0 の構成と同様である。

【 0 1 3 9 】

このため、MOS 型固体撮像素子 1 0 0 c については、スイッチング回路部 2 0 a の等価回路図を概略的に図 8 (a) に示し、他の箇所の図示を省略する。図 8 (a) に示した構成要素のうちで既に図 1 (a) または図 2 に示したものについては、スイッチング回路部 2 0 a を除いて図 1 (a) または図 2 で用いた符号と同じ符号を付し、その説明を省略する。

【 0 1 4 0 】

転送用トランジスタ 2 4 に転送信号が供給されると、転送用トランジスタ 2 4 がオンされ、光電変換素子 1 0 に蓄積されている信号電荷量に応じた信号が出力用トランジスタ 2 1 の制御端子（ゲート）に供給される。

【 0 1 4 1 】

転送用トランジスタ 2 4 に供給される転送信号は、水平ブランキング期間内の所定の時期、例えば、対応する行選択用トランジスタ 2 2 に行選択用信号を供給する時期、に同期して供給される。

【 0 1 4 2 】

MOS 型固体撮像素子 1 0 0 c の動作は、転送用トランジスタ 2 4 に関する動

作を除き、第 1 の実施例の MOS 型固体撮像素子 1 0 0 と同様である。したがって、他の動作についてはその説明を省略する。

【 0 1 4 3 】

次に、第 1 の実施例の更に他の変形例による MOS 型固体撮像素子について図 8 (b) を用いて説明する。

【 0 1 4 4 】

図 8 (b) は、本変形例による MOS 型固体撮像素子 1 0 0 d において光電変換素子 1 0 に付設されるスイッチング回路部 2 0 a の一例を概略的に示す等価回路図である。

【 0 1 4 5 】

同図に示したように、MOS 型固体撮像素子 1 0 0 d においては、電源電圧供給配線 3 1 に行選択用トランジスタ 2 2 が接続され、出力用トランジスタ 2 1 は行選択用トランジスタ 2 2 と出力用信号線 3 0 との間に接続されている。行選択用信号配線 2 5 は、光電変換素子行の 1 行毎にこの光電変換素子行に沿ってその上側 (図中での上側) に 1 本ずつ配設されている。これらの点以外は、図 8 (a) に示した MOS 型固体撮像素子 1 0 0 c と同様である。

【 0 1 4 6 】

このため、MOS 型固体撮像素子 1 0 0 d については、スイッチング回路部 2 0 d の等価回路図を概略的に図 8 (b) に示し、他の箇所の図示を省略する。図 8 (b) に示した構成要素のうちで既に図 8 (a) に示したものについては、図 8 (a) で用いた符号と同じ符号を付してその説明を省略する。

【 0 1 4 7 】

MOS 型固体撮像素子 1 0 0 d の動作自体は、図 8 (a) に示した MOS 型固体撮像素子 1 0 0 c と同様である。したがって、その動作については説明を省略する。

【 0 1 4 8 】

次に、第 2 の実施例による MOS 型固体撮像素子について、図 9 および図 1 0 を用いて説明する。

【 0 1 4 9 】

図 9 は、第 2 の実施例による MOS 型固体撮像素子 2 0 0 を模式的に示す平面図である。

【 0 1 5 0 】

図 1 0 は、図 9 に示した MOS 型固体撮像素子 2 0 0 において光電変換素子 1 0 に付設されるスイッチング回路部 2 0 の一例を概略的に示す等価回路図である。

【 0 1 5 1 】

第 2 の実施例による MOS 型固体撮像素子 2 0 0 は、(i) 光電変換素子列 1 1 の 2 列毎に、これら 2 列の光電変換素子列 1 1 の平面視上の間に出力用信号線 3 0 が 1 本ずつ配設されている点、(ii) 光電変換素子列 1 1 の 2 列毎に、これら 2 列の光電変換素子列 1 1 の平面視上の間に電源電圧供給配線 3 1 が 1 本ずつ配設されている点、(iii) 1 本の出力用信号線 3 0 に 1 個ずつ A/D 変換部 4 0 が配設されている点、および、(iv) 1 本の出力用信号配線 3 0 に 1 個ずつ負荷トランジスタ 3 5 (負荷トランジスタ 3 5 については図 4 参照) が配設されている点で、第 1 の実施例の MOS 型固体撮像素子 1 0 0 と異なる。

【 0 1 5 2 】

相隣る 2 列の光電変換素子列 1 1 の平面視上の間を「光電変換素子列間」と呼ぶものとする、図示の MOS 型固体撮像素子 2 0 0 においては、出力用信号線 3 0 と電源電圧供給配線 3 1 とが、異なる光電変換素子列間に形成されている。出力用信号線 3 0 と電源電圧供給配線 3 1 とは、同じ光電変換素子列間に形成することも可能である。

【 0 1 5 3 】

上記 (i) ~ (iv) の各点を除いた構成は第 1 の実施例の MOS 型固体撮像素子 1 0 0 と同様であり、その動作も第 1 の実施例の MOS 型固体撮像素子 1 0 0 と同様である。

【 0 1 5 4 】

このため、MOS 型固体撮像素子 2 0 0 については、図 9 または図 1 0 に示した箇所以外の箇所の図示を省略する。図 9 または図 1 0 に示した構成要素のうちで既に図 1 (a) または図 2 に示したものについては、図 1 (a) または図 2 で

用いた符号と同じ符号を付してその説明を省略する。MOS型固体撮像素子200の動作についても、その説明を省略する。

【0155】

次に、第2の実施例の変形例によるMOS型固体撮像素子について図11を用いて説明する。

【0156】

図11は、本変形例によるMOS型固体撮像素子200aにおいて光電変換素子10に付設されるスイッチング回路部20の一例を概略的に示す等価回路図である。

【0157】

同図に示したように、MOS型固体撮像素子200aにおいては、電源電圧供給配線31が、光電変換素子行の1行毎にこの光電変換素子行に沿って1本ずつ配設されている。この点以外は、図9および図10を用いて説明した第2の実施例のMOS型固体撮像素子200と同様である。

【0158】

このため、MOS型固体撮像素子200aについては、スイッチング回路部20の等価回路図を概略的に図11に示し、他の箇所の図示を省略する。図11に示した構成要素のうちで既に図9または図10に示したものについては、図9または図10で用いた符号と同じ符号を付してその説明を省略する。

【0159】

MOS型固体撮像素子200aは、出力用信号線30と電源電圧供給配線31とを交差させて配置するため、別の配線層を必要とする。

【0160】

しかしながら、MOS型固体撮像素子200aの動作自体は第2の実施例のMOS型固体撮像素子200と同様である。したがって、その動作については説明を省略する。

【0161】

なお、図示を省略するが、第2の実施例のMOS型固体撮像素子200についても、図8(a)または図8(b)を用いて説明したMOS型固体撮像素子10

0 c、1 0 0 dと同様に、スイッチング回路部 2 0 の各々を、出力用トランジスタ 2 1、行選択用トランジスタ 2 2、リセットトランジスタ 2 3 および転送用トランジスタ 2 4 の計 4 個のトランジスタを用いて構成することができる。

【0 1 6 2】

これら 4 個のトランジスタを用いて 1 個のスイッチング回路部を構成した場合の MOS 型固体撮像素子 2 0 0 は、既に説明した MOS 型固体撮像素子 1 0 0 c、1 0 0 d と同様にして動作させることができる。

【0 1 6 3】

次に、第 3 の実施例による MOS 型固体撮像素子について図 1 2 を用いて説明する。

【0 1 6 4】

図 1 2 は、第 3 の実施例による MOS 型固体撮像素子 2 1 0 を概略的に示す断面図である。同図に示した MOS 型固体撮像素子 2 1 0 は、第 1 の実施例の MOS 型固体撮像素子 1 0 0 に光遮蔽膜 8 0、色フィルタアレイ 8 5、マイクロレンズアレイ 9 0 等を付設したカラー撮像用の MOS 型固体撮像素子である。

【0 1 6 5】

図 1 2 示した半導体基板 1、光電変換素子 1 0、行選択用信号配線 2 5、リセット信号供給配線 3 2 の各断面は、図 3 に示した A - A 線に沿って MOS 型固体撮像素子 1 0 0 を切断したときの断面にほぼ相当する。

【0 1 6 6】

図 1 2 に示したように、MOS 型固体撮像素子 2 1 0 は、片面に p 型ウェル 1 a を備えた n 型シリコン基板からなる半導体基板 1 を備えている。

【0 1 6 7】

フォトダイオードからなる多数個の光電変換素子 1 0 が、半導体基板 1 に画素ずらし配置されている。ただし、図 1 2 においては 1 個の光電変換素子 1 0 のみが示されている。

【0 1 6 8】

個々の光電変換素子 1 0 は、p 型ウェル 1 a の所定箇所に n 型領域 1 0 a を形成し、その表面に p⁺ 型層 1 0 b を形成することによって形成された埋め込み型

のフォトダイオードからなる。光電変換素子 1 0 の各々は、p 型ウェル 1 a に形成されたチャンネルストップ領域 2 によって、平面視上取り囲まれている。

【 0 1 6 9 】

例えば熱酸化膜からなる電気絶縁層 3 が、光電変換素子 1 0 が形成されている側の半導体基板 1 表面に形成されている。

【 0 1 7 0 】

MOS 型固体撮像素子 1 0 0 についての説明の中で述べた各出力用トランジスタ 2 1、各行選択用トランジスタ 2 2、各リセットトランジスタ 2 3、各行選択用信号配線 2 5、各出力用信号線 3 0、各電源電圧供給配線 3 1 および各リセット信号供給配線 3 2 が、電気絶縁層 3 の上方に配設されている。図 1 2 においては、1 本の行選択用信号配線 2 5 と 1 本のリセット信号供給配線 3 2 とがみえている。これら行選択用信号配線 2 5 およびリセット信号供給配線 3 2 それぞれの表面には、例えば熱酸化膜からなる電気絶縁層 4 が形成されている。

【 0 1 7 1 】

MOS 型固体撮像素子 1 0 0 についての説明の中で述べた各負荷トランジスタ 3 5、各 A/D 変換部 4 0、バッファメモリ部 5 0、走査部 6 0 および制御部 7 0 が、半導体基板 1 の所定箇所に形成されている。

【 0 1 7 2 】

各光電変換素子 1 0 以外の領域で無用の光電変換が行われるのを防止するために、光遮蔽膜 8 0 が設けられている。光遮蔽膜 8 0 は、光電変換素子 1 0 それぞれの上方に 1 つずつ、開口部 8 1 を有する。

【 0 1 7 3 】

光遮蔽膜 8 0 は、例えば、アルミニウム、クロム、タングステン、チタン、モリブデン等からなる金属薄膜や、これらの金属の 2 種以上からなる合金薄膜、あるいは、前記の金属薄膜同士または前記の金属薄膜と前記の合金薄膜とを組み合わせた多層金属薄膜等によって形成される。

【 0 1 7 4 】

光遮蔽膜 8 0 とその下（半導体基板 1 側）にある半導体もしくは金属からなる部材とは、電気絶縁層 3 もしくは電気絶縁層 4 または図示されていない電気絶縁

層によって絶縁されている。

【0175】

平坦化膜82が、開口部81を介して露出している電気絶縁層3および光遮蔽膜80を覆っている。平坦化膜82は、後述するマイクロレンズ91の焦点調節層としても利用される。平坦化膜82にインナーレンズを形成することも可能である。

【0176】

平坦化膜82は、例えばフォトリソ等透明樹脂をスピコート法等の方法によって所望の厚さに塗布することによって形成される。

【0177】

色フィルタアレイ85が、平坦化膜82の上に形成されている。この色フィルタアレイ85は、カラー撮像を可能にする複数種の色フィルタを所定のパターンで形成したものである。このような色フィルタアレイとしては、3原色（赤、緑、青）系の色フィルタアレイ、および、いわゆる補色タイプの色フィルタアレイがある。

【0178】

光電変換素子10それぞれの上方に1個ずつ、所望色の色フィルタが配設されている。本実施例においては、赤色の色フィルタ86Rと、緑色の色フィルタ86Gと、青色の色フィルタ86Bとが所定の配置で配設されている。すなわち、緑色の色フィルタ86Gのみからなる色フィルタ列と、赤色の色フィルタ86Rと青色の色フィルタ86Bとが交互に配置された色フィルタ列とが交互に配置されている。行方向で見ると、緑色の色フィルタ86Gのみからなる色フィルタ行と、赤色の色フィルタ86Rと青色の色フィルタ86Bとが交互に配置された色フィルタ行とが交互に形成されている。個々の色フィルタ列は、光電変換素子列と同じ方向に延在する。

【0179】

図13(a)は、本実施例で使用されている色フィルタアレイ85における色フィルタの配列仕様を示す。図中のアルファベットR、G、Bは、個々の色フィルタの色を表している。このこの色フィルタアレイ85は3原色系の色フィルタ

アレイである。

【0180】

なお、図12においては、赤色の色フィルタ86Rと青色の色フィルタ86Bとがみえている。

【0181】

色フィルタアレイ85は、例えば、フォトリソグラフィ法等の方法によって、所望色の顔料もしくは染料を添加した樹脂（カラーレジン）の層を所定箇所に形成することによって作製することができる。

【0182】

第2の平坦化膜88が、色フィルタアレイ85上に形成されている。第2の平坦化膜88は、例えばフォトレジスト等の透明樹脂を例えばスピンコート法によって所望の厚さに塗布することによって形成される。

【0183】

マイクロレンズアレイ90が、第2の平坦化膜88の上に形成されている。このマイクロレンズアレイ90は、多数個のマイクロレンズ91によって構成されている。マイクロレンズ91は、光電変換素子10それぞれの上方に1個ずつ配置される。

【0184】

これらのマイクロレンズ91は、例えば、屈折率が概ね1.3～2.0の透明樹脂（フォトレジストを含む。）からなる層をフォトリソグラフィ法等によって所定形状に区画した後、熱処理によって各区画の透明樹脂層を溶融させ、表面張力によって角部を丸め込ませた後に冷却することによって得られる。

【0185】

図示したMOS型固体撮像素子210は、光遮蔽膜80を有しているので、各光電変換素子10以外の領域で無用の光電変換が行われるのを防止することができる。色フィルタアレイ85を有しているので、カラー画像用のデジタル画像データを得ることができる。マイクロレンズアレイ90を有しているので、光利用効率が高い。

【0186】

なお、3原色系の色フィルタアレイに代えて、いわゆる補色系の色フィルタアレイを用いることもできる。補色系の色フィルタアレイは、例えば(i) 緑(G)、シアン(Cy) および黄(Ye) の各色フィルタ、(ii)黄(Ye)、シアン(Cy) およびマゼンダ(Mg) の各色フィルタ、(iii) シアン(Cy)、緑(G)、黄(Ye) およびマゼンダ(Mg) の各色フィルタ、等によって構成することができる。

【0187】

図13(b)～図13(e)は、いわゆる補色系の色フィルタアレイにおける色フィルタの配列仕様の例を示す。

【0188】

図13(b)は上記(i)の補色タイプの色フィルタアレイ87aにおける色フィルタの配列仕様の一例を示す平面図であり、図13(c)は上記(ii)の補色タイプの色フィルタアレイ87bにおける色フィルタの配列仕様の一例を示す平面図である。図13(d)は上記(iii)の補色タイプの色フィルタアレイ87cにおける色フィルタの配列仕様の一例を示す平面図であり、図13(e)は上記(ii)の補色タイプの色フィルタアレイ87dにおける色フィルタの配列仕様の他の一例を示す平面図である。図13(b)～図13(e)のそれぞれにおいても、図中のアルファベットG、Cy、Ye、Mgを囲んでいる各六角形が1つの色フィルタを示している。図中のアルファベットG、Cy、Ye、Mgは、個々の色フィルタの色を表している。

【0189】

上述した3原色系または補色タイプの色フィルタアレイを第1の実施例以外の実施例もしくは変形例によるMOS固体撮像素子に設けることによっても、カラー撮像用のMOS型固体撮像素子を得ることができる。

【0190】

光遮蔽膜およびマイクロレンズアレイは、カラー撮像用のMOS型固体撮像素子を得るにあたっての必須の構成部材ではない。しかしながら、実用上は、光遮蔽膜およびマイクロレンズアレイを設けることが好ましい。

【0191】

白黒撮像用のMOS型固体撮像素子を得る場合も、実用上は、光遮蔽膜およびマイクロレンズアレイを設けることが好ましい。

【0192】

これまでに説明した実施例またはその変形例によるMOS型固体撮像素子は、いずれも、多数個の光電変換素子が画素ずらし配置されているMOS型固体撮像素子である。

【0193】

多数個の光電変換素子を画素ずらし配置した場合、1つの光電変換素子行は、偶数列の光電変換素子のみ、または、奇数列の光電変換素子のみを含む。

【0194】

したがって、光電変換素子列の2列に1個ずつA/D変換部を配設することにより、対応する出力用トランジスタが発生した電気信号を個別に受け、対応するデジタル信号を発生させることができる。

【0195】

このとき、第1の実施例あるいは第2の実施例等を挙げて説明したように、A/D変換部の総数を光電変換素子列の総数の1/2に低下させることができる。すなわち、A/D変換部の総数を従来の1/2に低下させることができる。

【0196】

その結果として、光電変換素子の実効的集積度を高めた場合であっても、高度な微細加工技術を用いることなくA/D変換部を形成することが可能になる。これに伴って、製造コストを抑制することが可能になる。

【0197】

以上、実施例またはその変形例によるMOS型固体撮像素子について説明したが、本発明は上述した実施例もしくは変形例に限定されるものではない。種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0198】

【発明の効果】

上述したように、本発明によれば、A/D変換部を内蔵したMOS型固体撮像素子の製造コストの増大を抑制しつつ光電変換素子の集積度を向上させることが

可能になる。

【図面の簡単な説明】

【図 1】

図 1 (a) は、第 1 の実施例による MOS 型固体撮像素子を模式的に示す平面図であり、図 1 (b) は、スイッチング回路部の 1 個を示す概念図である。

【図 2】

第 1 の実施例による MOS 型固体撮像素子において光電変換素子に付設されるスイッチング回路部の一例を概略的に示す等価回路図である。

【図 3】

第 1 の実施例による MOS 型固体撮像素子を構成する光電変換素子と当該光電変換素子に付設されるスイッチング回路部との平面配置の一例を示す概略図である。

【図 4】

第 1 の実施例による MOS 型固体撮像素子における A/D 変換部の 1 個、および、バッファメモリ部の一部を示す概略図である。

【図 5】

第 1 の実施例による MOS 型固体撮像素子の動作に使用される各種の信号パルスの供給時期の一例を示すタイミング図である。

【図 6】

第 1 の実施例の変形例による MOS 型固体撮像素子において光電変換素子に付設されるスイッチング回路部の一例を概略的に示す等価回路図である。

【図 7】

第 1 の実施例の他の変形例による MOS 型固体撮像素子において光電変換素子に付設されるスイッチング回路部の一例を概略的に示す等価回路図である。

【図 8】

図 8 (a) は、第 1 の実施例の更に他の変形例による MOS 型固体撮像素子において光電変換素子に付設されるスイッチング回路部の一例を概略的に示す等価回路図であり、図 8 (b) は、第 1 の実施例の更に他の変形例による MOS 型固体撮像素子において光電変換素子に付設されるスイッチング回路部の一例を概略

的に示す等価回路図である。

【図 9】

第 2 の実施例による MOS 型固体撮像素子を模式的に示す平面図である。

【図 1 0】

第 2 の実施例による MOS 型固体撮像素子において光電変換素子に付設されるスイッチング回路部の一例を概略的に示す等価回路図である。

【図 1 1】

第 2 の実施例の変形例による MOS 型固体撮像素子において光電変換素子に付設されるスイッチング回路部の一例を概略的に示す等価回路図である。

【図 1 2】

第 3 の実施例による MOS 型固体撮像素子を概略的に示す断面図である。

【図 1 3】

図 1 3 (a) は 3 原色系の色フィルタアレイにおける色フィルタの配列仕様の一例を示す平面図であり、図 1 3 (b)、図 1 3 (c)、図 1 3 (d) および図 1 3 (e) は、それぞれ、補色タイプの色フィルタアレイにおける色フィルタの配列仕様の一例を示す平面図である。

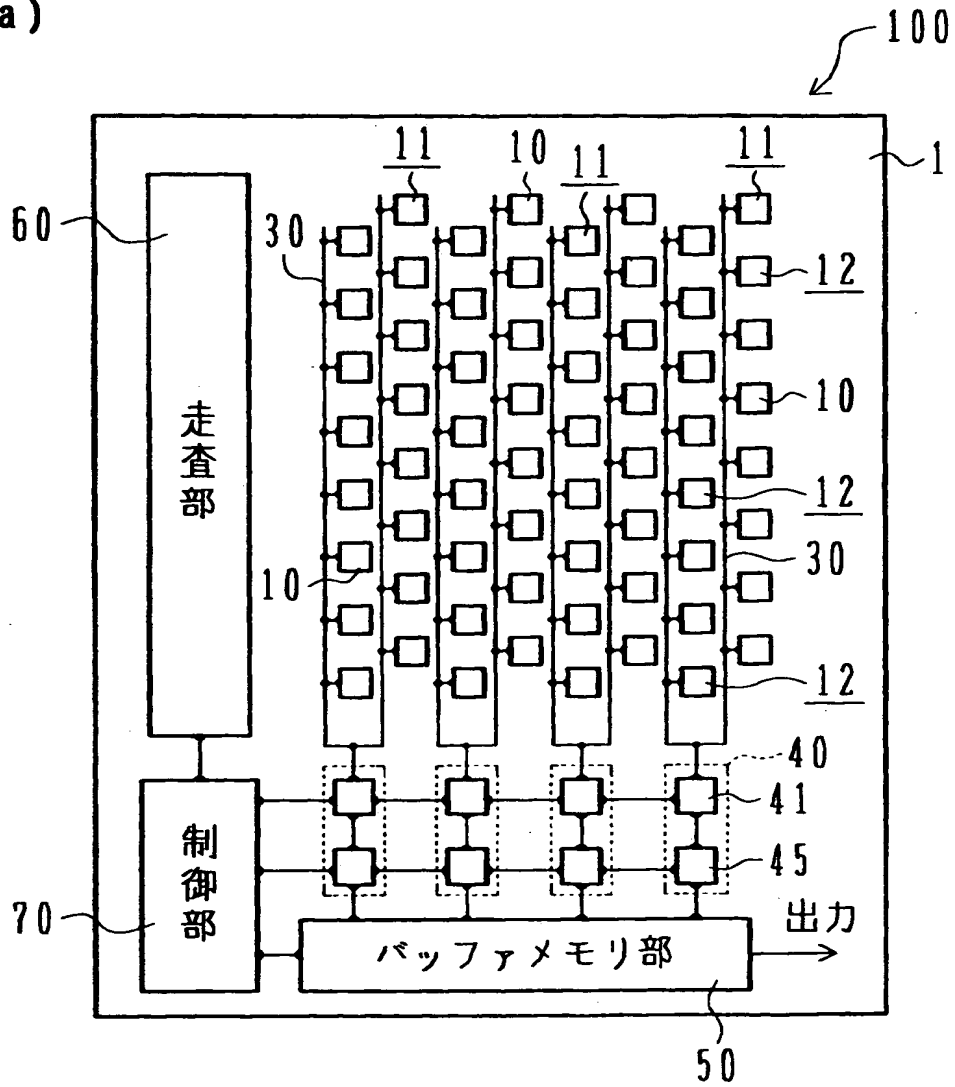
【符号の説明】

1 … 半導体基板、 1 0 … 光電変換素子、 1 1 … 光電変換素子列、 1 2 … 光電変換素子行、 2 0、2 0 a … スイッチング回路部、 2 1 … 出力用トランジスタ、 2 2 … 行選択用トランジスタ、 2 3 … リセットトランジスタ、 2 4 … 転送用トランジスタ、 2 5 … 行選択用信号配線、 3 0 … 出力用信号線、 3 1 … 電源電圧供給配線、 3 2 … リセット信号供給配線、 3 3 … 転送信号供給配線、 4 0 … A/D 変換部、 4 1 … サンプル／ホールド回路部、 4 3 … キャパシタ（コンデンサ）、 4 5 … A/D コンバータ、 4 6 … 比較器、 4 7 … ラッチ回路、 5 0 … バッファメモリ部、 6 0 … 走査部、 7 0 … 制御部、 8 0 … 光遮蔽膜、 8 5、8 7 a、8 7 b、8 7 c、8 7 d … 色フィルタアレイ、 8 6 R … 赤色の色フィルタ、 8 6 B … 青色の色フィルタ、 9 0 … マイクロレンズアレイ、 9 1 … マイクロレンズ、 1 0 0、1 0 0 a、1 0 0 b、1 0 0 c、1 0 0 d、2 0 0、2 0 0 a、2 1 0 … MOS 型固体撮像素子。

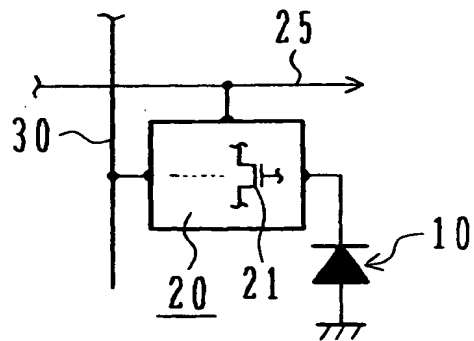
【書類名】 図面

【図1】

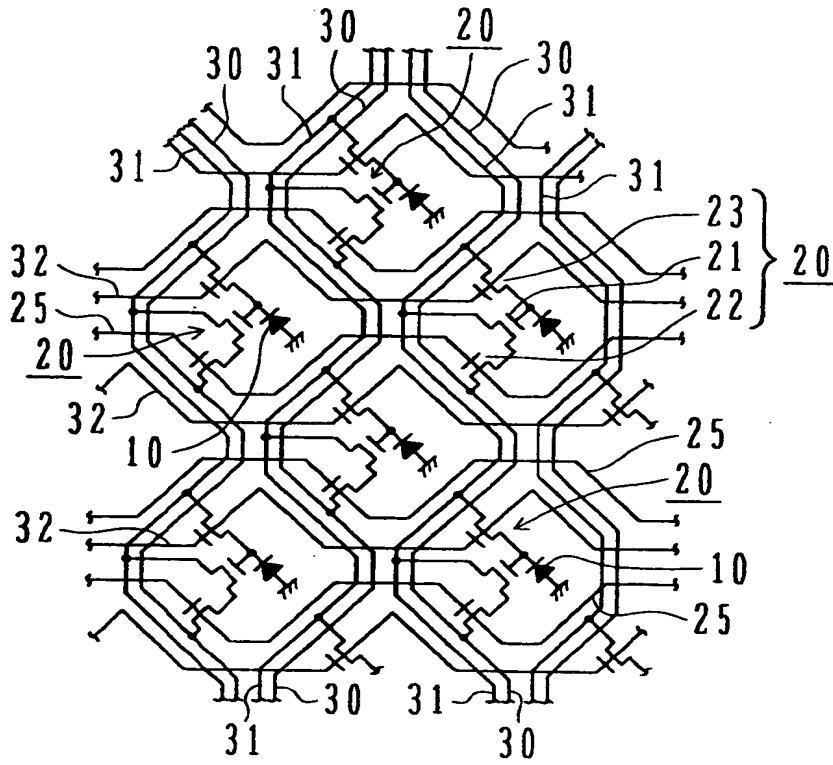
(a)



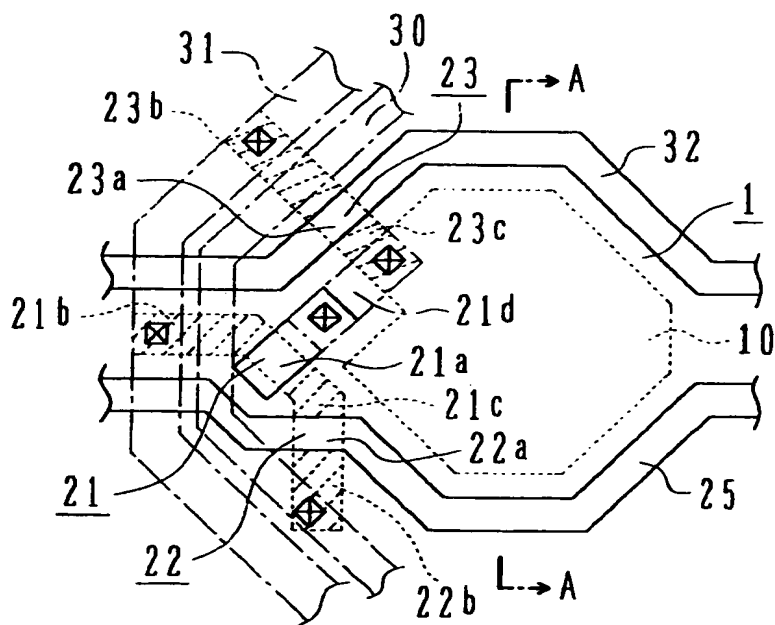
(b)



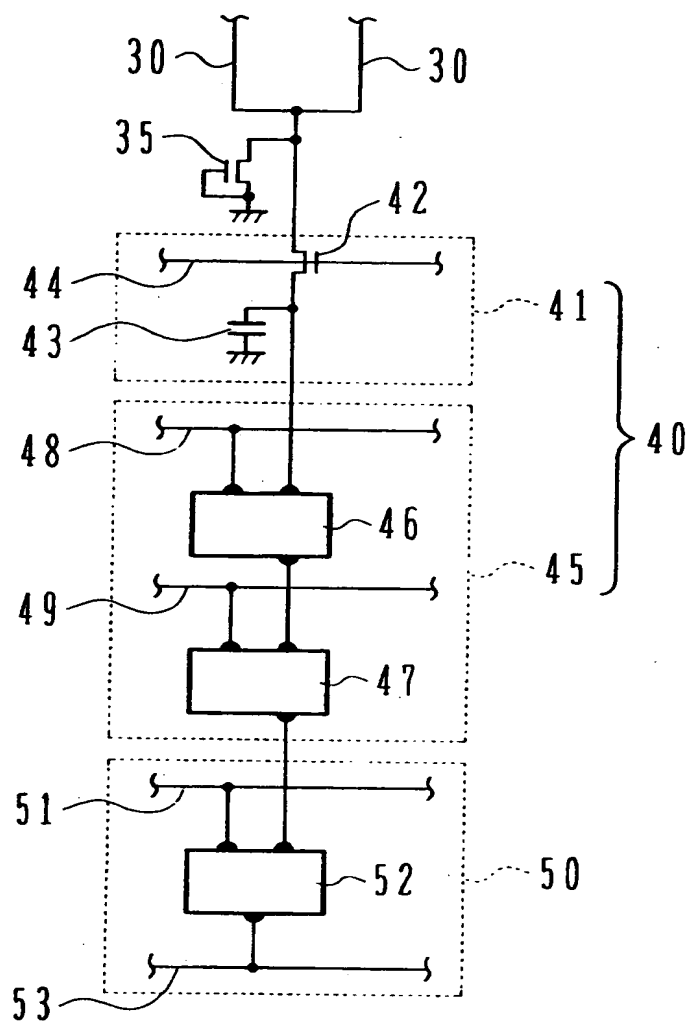
【図 2】



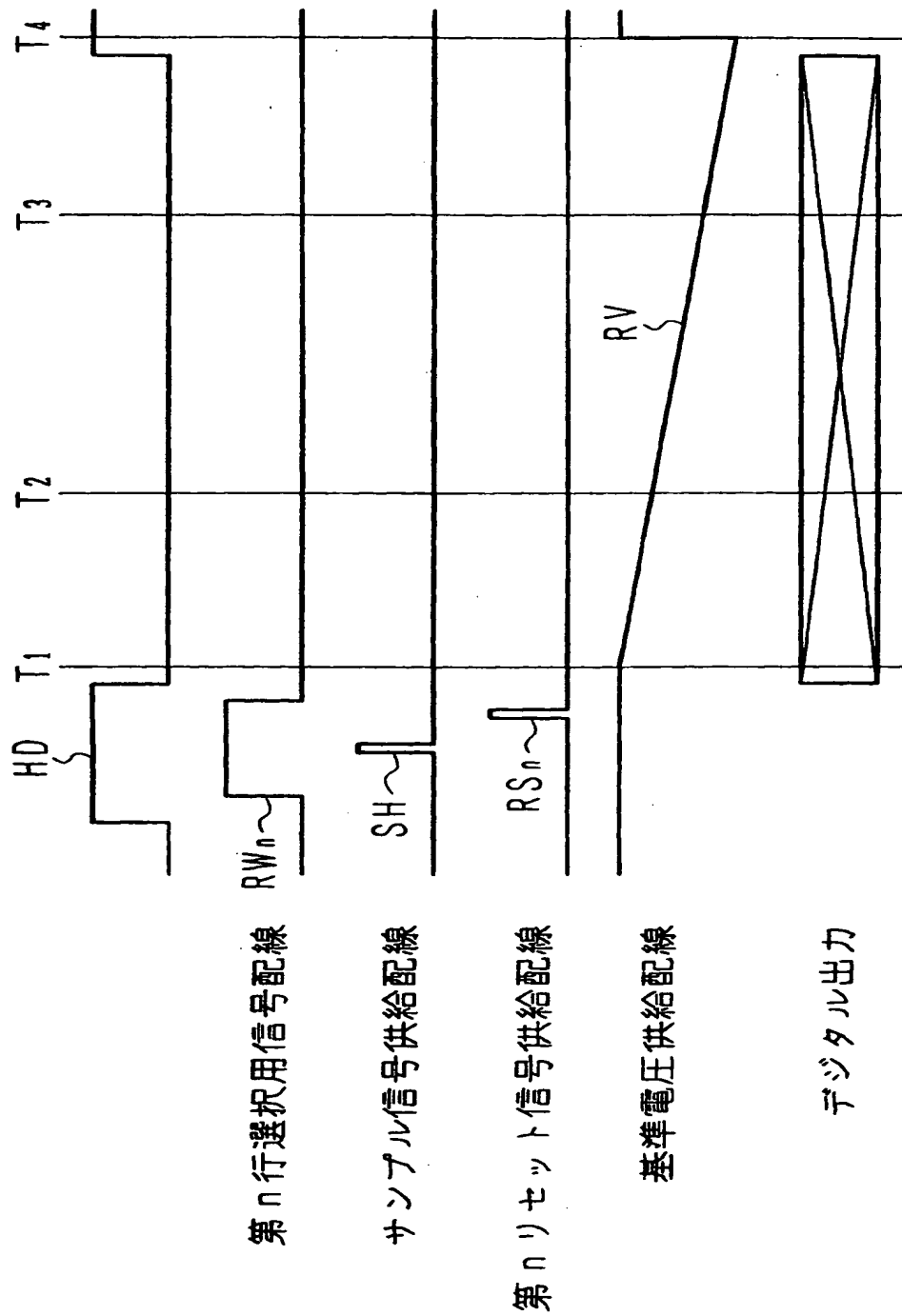
【図 3】



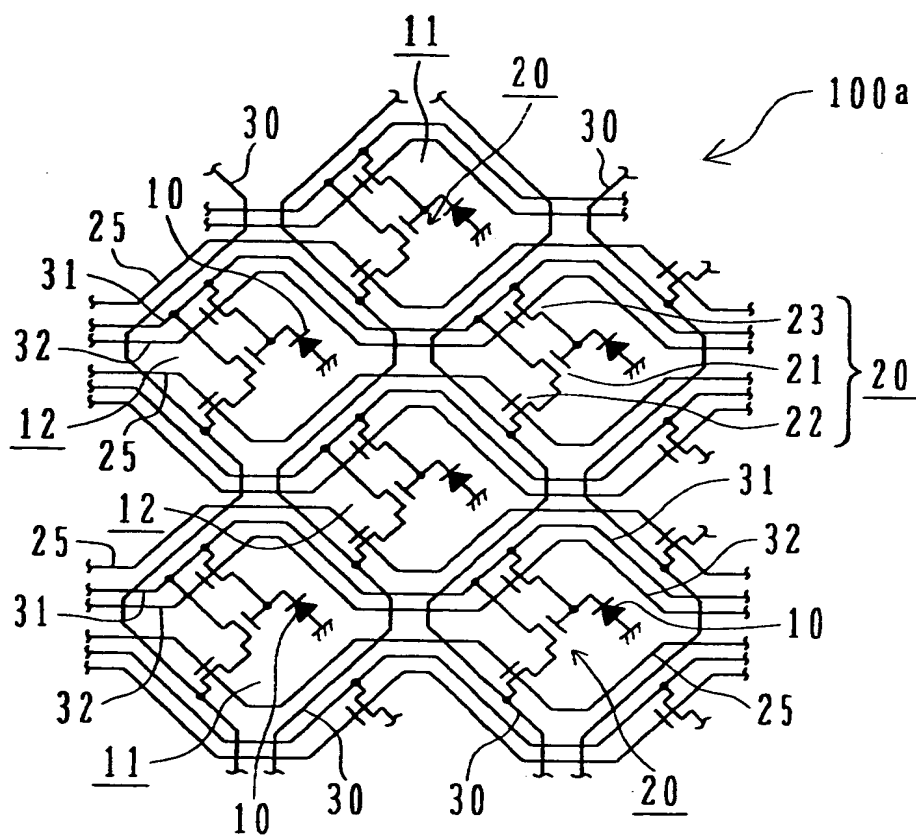
【図4】



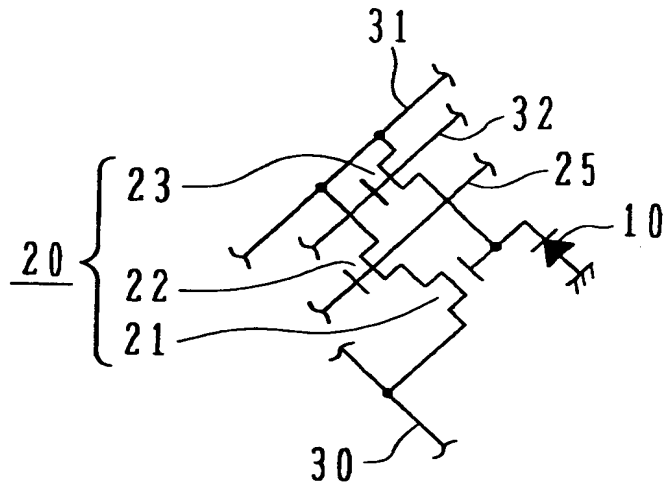
【図5】



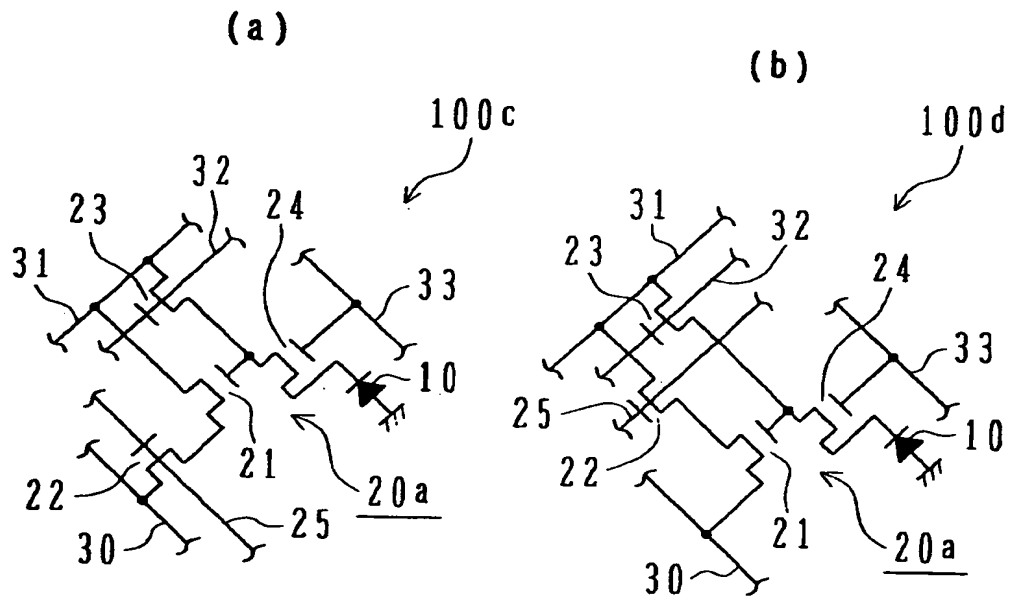
【図6】



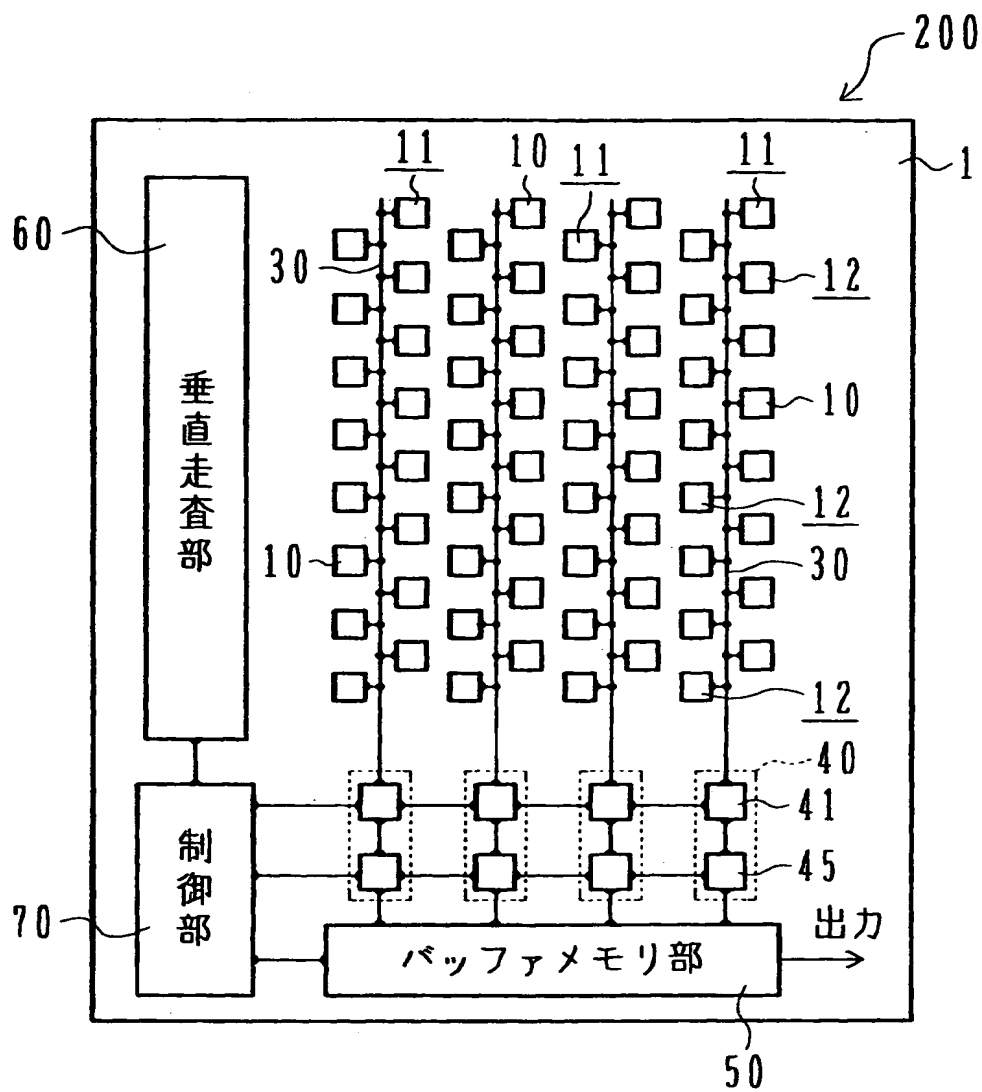
【図7】



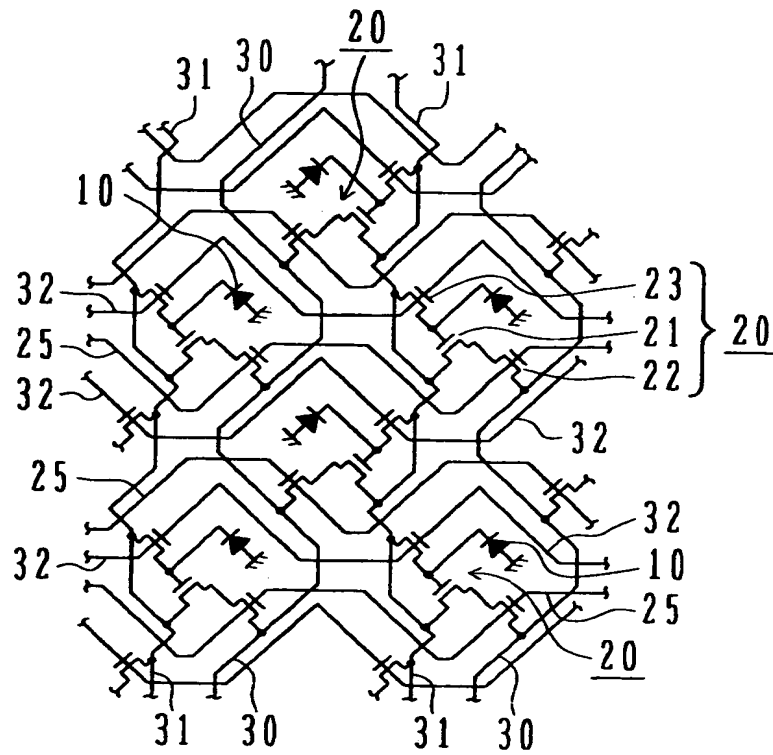
【図8】



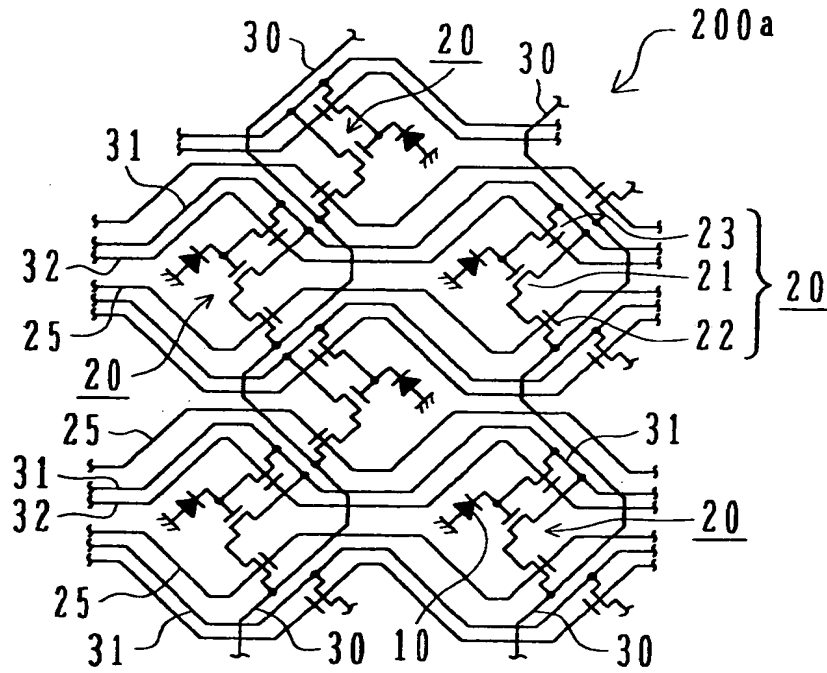
【図9】



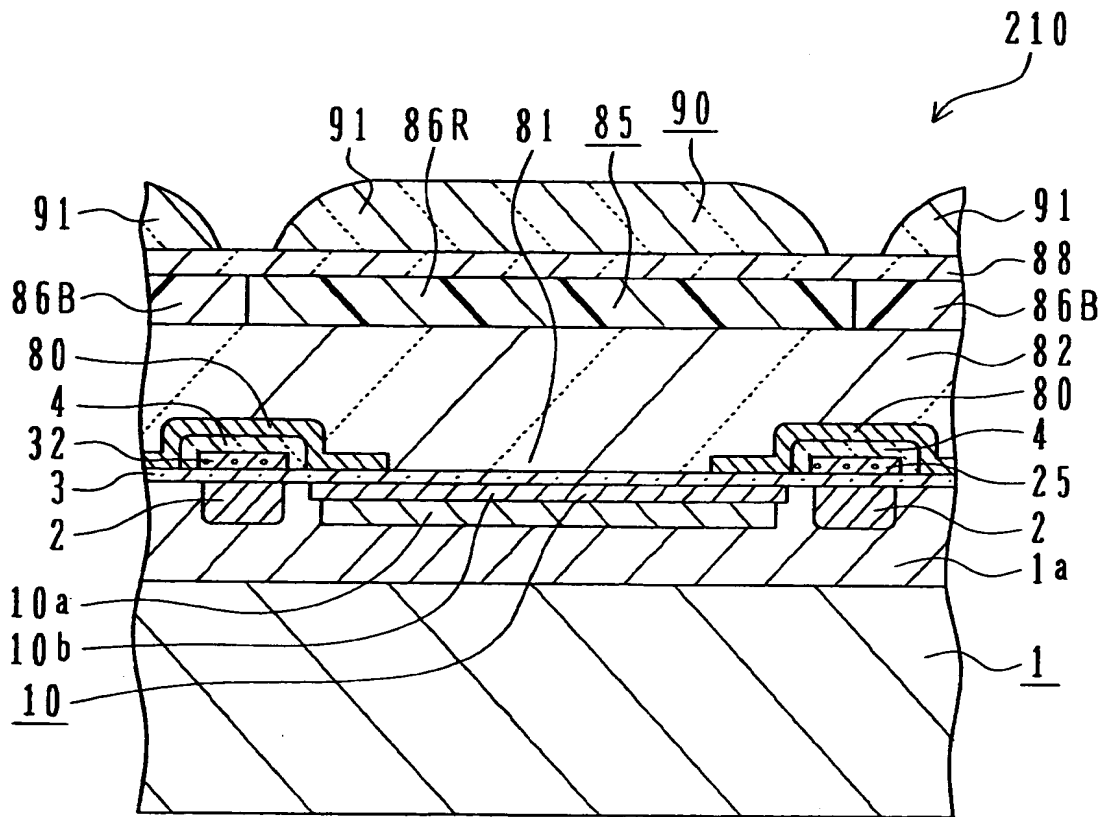
【図 10】



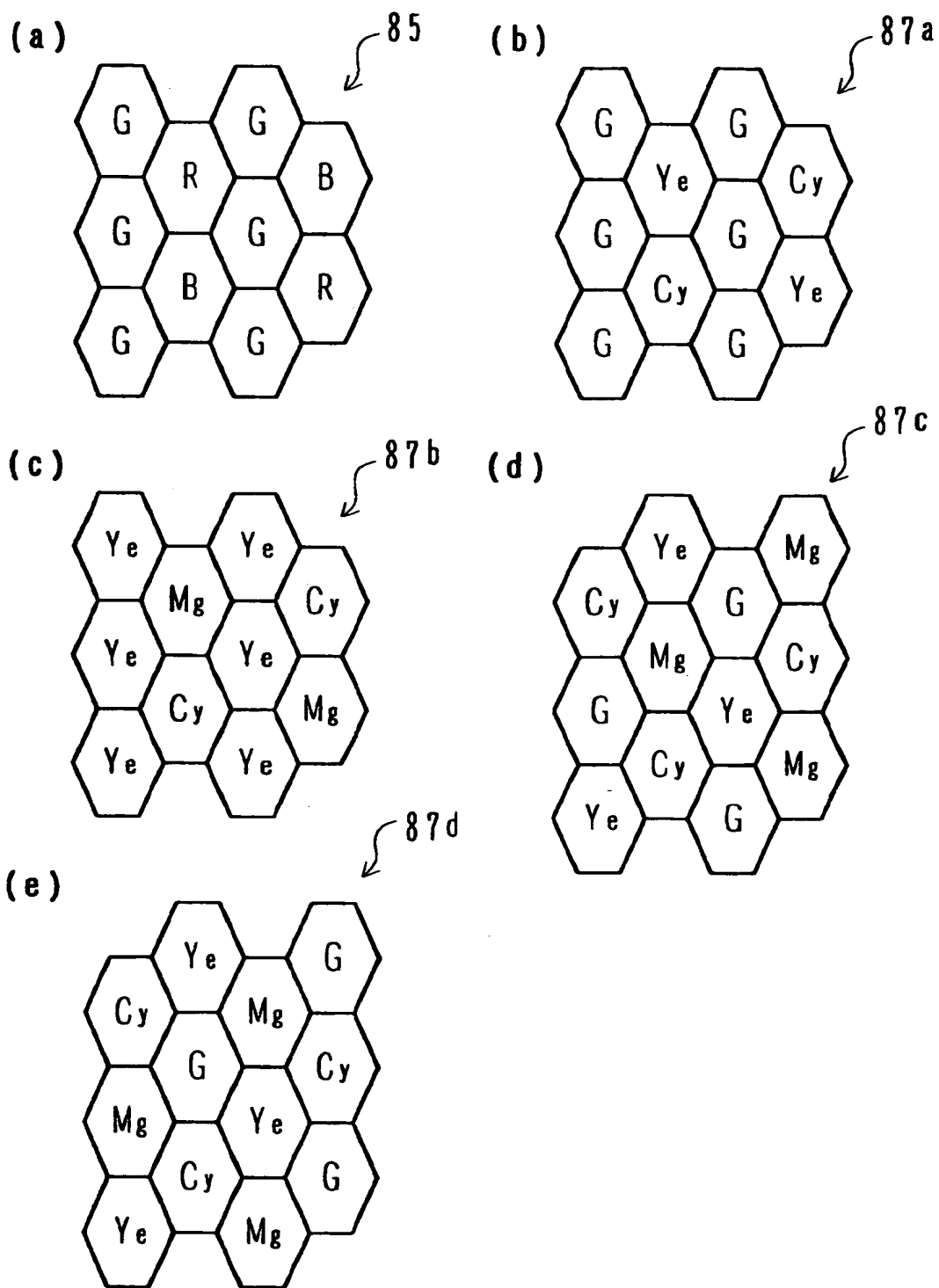
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 A/D変換部を内蔵した従来のMOS型固体撮像素子において光電変換素子の集積度を高めれば高める程、A/D変換部を形成する際に高度な微細加工技術が要求されるようになり、これに伴って製造コストが増大する。

【解決手段】 多数個の光電変換素子を複数行、複数列に亘って画素ずらし配置し、前記複数の光電変換素子列の2列に1個ずつアナログ/デジタル変換部を配設してMOS型固体撮像素子を得る。

【選択図】 図1(a)

出 願 人 履 歴 情 報

識別番号 [391051588]

1. 変更年月日	1991年 7月31日
[変更理由]	新規登録
住 所	宮城県黒川郡大和町松坂平1丁目6番地
氏 名	富士フイルムマイクロデバイス株式会社

出 願 人 履 歴 情 報

識別番号 [000005201]

1. 変更年月日 1990年 8月14日
[変更理由] 新規登録
住 所 神奈川県南足柄市中沼210番地
氏 名 富士写真フイルム株式会社